

UNESP

UNIVERSIDADE ESTADUAL PAULISTA

CAMPUS DE ILHA SOLTEIRA

PROGRAMA DE PÓS-GRADUAÇÃO

EM ENGENHARIA ELÉTRICA

**“Regulador de Tensão em Corrente Alternada, com
Elevado Fator de Potência e Controle Digital
Utilizando Dispositivo FPGA”**

Fausto Donizeti Dantas

Orientador

Prof. Dr. Carlos Alberto Canesin

Tese submetida à Faculdade de Engenharia de Ilha Solteira – FEIS - UNESP, como parte dos requisitos exigidos para obtenção do título de **Doutor em Engenharia Elétrica**.

Ilha Solteira (SP), Fevereiro de 2006.

FICHA CATALOGRÁFICA

Elaborada pela Seção Técnica de Aquisição e Tratamento da Informação/Serviço Técnico de Biblioteca e Documentação da UNESP-Ilha Solteira

D192r Dantas, Fausto Donizeti
Regulador de tensão em corrente alternada, com elevado fator de potência e controle digital utilizando dispositivo FPGA / Fausto Donizeti Dantas. -- Ilha Solteira : [s.n.], 2006
xxii, 159 p.

Tese (doutorado) - Universidade Estadual Paulista. Faculdade de Engenharia de Ilha Solteira, 2006

Orientador: Carlos Alberto Canesin
Bibliografia: p. 117-122

1. Sistemas de energia elétrica. 2. Eletrônica de potência. 3. Controle digital. 4. Reguladores de tensão CA.

CERTIFICADO DE APROVAÇÃO

TÍTULO: Regulador de Tensão em Corrente Alternada, com Elevado Fator de Potência e Controle Digital Utilizando Dispositivo FPGA

AUTOR: FAUSTO DONIZETI DANTAS
ORIENTADOR: Prof. Dr. CARLOS ALBERTO CANESIN

Aprovado como parte das exigências para obtenção do Título de DOUTOR em ENGENHARIA ELÉTRICA pela Comissão Examinadora:

Prof. Dr. CARLOS ALBERTO CANESIN
DEE/FEIS - UNESP

Prof. Dr. JOSE CARLOS ROSSI
DEE/FEIS - UNESP

Prof. Dr. FABIO TOSHIKI WAKABAYASHI
DEE/FEIS - UNESP

Prof. Dr. JOÃO ONOFRE PEREIRA PINTO
DEE /Universidade Federal do Mato Grosso do Sul/Campo Grande/MS

Prof. Dr. VALMIR MACHADO PEREIRA
DEE/Universidade Federal do Mato Grosso do Sul/Campo Grande/MS

Data da realização: 24 de fevereiro de 2006.



Presidente da Comissão Examinadora
Prof. Dr. CARLOS ALBERTO CANESIN

A Deus.

Aos meus pais João Dantas e Valdice.

À minha querida esposa, Neila, e a minha filha Eduarda que está chegando.

Agradecimentos

A Deus pela sua grandiosa generosidade dando-me força e serenidade nesta longa jornada.

Ao professor Dr. Carlos Alberto Canesin pela sua competente orientação, presteza e compreensão para a realização e conclusão deste trabalho.

Aos sinceros amigos de pós-graduação, Fábio Toshiaki, Flávio, Guilherme e Jurandir, pela amizade, parceria e contribuição ao longo desta jornada.

Aos professores Dr. Fábio Toshiaki Wakabayashi, Dr. João Onofre Pereira Pinto, Dr. José Carlos Rossi, Dr. Valmir Machado Pereira pela participação na minha banca de defesa do doutorado e contribuições para o trabalho.

Agradeço também aos recentes pós-graduandos do LEP: Eduardo, Castellane e Moacir pela convivência.

Ao professor e amigo desde a graduação Edvaldo Assunção (UNESP) pelo apoio e incentivo nos momentos mais difíceis.

Aos professores e irmãos escoteiros: Carlos Antonio Alves, Fernando Tangerino e Kuniko Haga (UNESP).

Aos meus amigos e professores da UNIDERP Jonas Barcellos de Moraes, Marco Antonio de Arruda Cortez e Uender da Costa Faria pela colaboração ao longo desta jornada.

A todos os professores e funcionários do Departamento de Engenharia Elétrica.

A minha amada esposa, Neila, pelo apoio irrestrito, compreensão e paciência.

Aos meus irmãos: Cleuza, Gilberto, Hamilton e Ledinalva pelo apoio e incentivo.

A minha queridíssima amiga Lucy pela amizade sincera, incentivo e colaboração.

A minha querida e sincera amiga, dona Dazinha, e toda a sua família pelo apoio, amizade, estímulo e colaboração.

Aos meus ex-vizinhos Evandro, Ângela e suas lindas e queridas filhas, Carol e Gabi, pelo convívio e torcida.

Ao CNPq, Fundação Manoel de Barros (FMB) e a UNIDERP pelo apoio financeiro viabilizando este trabalho.

Resumo

Este trabalho apresenta os resultados da análise e experimentação de um novo regulador de tensão CA/CA (corrente alternada/corrente alternada), com elevado fator de potência e reduzida taxa de distorção harmônica na corrente de entrada, através do emprego de técnica de correção ativa do fator de potência, com modulação por histerese variável, utilizando controle digital e empregando lógica descritiva de hardware (VHDL – “*Very High Speed Integrated Circuit Hardware Description Language*”), implementado em dispositivo programável (EPLD – “*Erase Programmable Logic Device*”). A estrutura de potência proposta baseia-se no conversor Sepic (“*Single Ended Primary Inductance Converter*”), adaptado através de uma metodologia de projeto para a aplicação CA/CA. A análise apresentada permite especificar e projetar a estrutura proposta, de tal forma a atender os requisitos da norma IEC 61000-3-2, para equipamentos classificados como classe A. Os resultados experimentais para um protótipo de 300 W, considerando-se tensões nominais de alimentação e de saída iguais a 127 V eficazes, são apresentados e demonstram a aplicabilidade da estrutura proposta e da metodologia de controle desenvolvida. Uma malha de controle para a regulação e estabilização da tensão de saída foi proposta e os resultados de simulação são apresentados, verificando-se a sua eficácia.

Palavras-chave: regulador de tensão CA/CA, Correção ativa de Fator de Potência, Dispositivos FPGA, VHDL.

Abstract

This work presents the analysis and experimental results of a new AC/AC (alternated current/alternated current) voltage regulator, with high input power factor and low input current total harmonic distortion, through the use of active power factor correction technique, based on variable hysteresis modulation, using digital control and hardware description language (VHDL – Very High Speed Integrated Circuit Hardware Description Language), implemented in a programmable device (EPLD – Erase Programmable Logic Device). The proposed power structure is based on SEPIC converter (Single Ended Primary Inductance Converter), adapted through a design methodology for AC/AC application. Thus, it is possible to specify and design the proposed structure based on the presented analysis, in order to attend the limits imposed by IEC 61000-3-2 standards, for class A equipments. Experimental results are presented for an implemented prototype with 300 W of nominal output power, considering input and output voltages with rms values equals to 127 V, in order to demonstrate the feasibility for the proposed structure and the implemented control methodology. Finally, a control loop for output voltage regulation is proposed, and simulation results are presented, in order to verify its performance.

Keywords – AC voltage regulator, High Power-Factor, FPGA device, and VHDL language.

LISTA DE FIGURAS

Capítulo 1

Figura 1.1 - Célula para emulação de uma impedância variável, para aplicação em compensadores de reativos e reguladores de tensão.....	2
Figura 1.2 - Regulador de tensão CA à SCRs, usando técnica de impedância variável.....	3
Figura 1.3- Conversores PWM CA em elevadas frequências derivados dos conversores CC/CC, considerando-se as polaridades para o semi-ciclo positivo da tensão de entrada.....	4
Figura 1.4 - Conversor Half-Bridge para operação CA/CA, proposto em [10].....	7
Figura 1.5 – Diagrama do conversor em matriz (CM).....	9
Figura 1.6 - Possíveis configurações para a realização de um interruptor bidirecional: (a) Transistores bipolares e diodos, (b) transistores Mosfets e (c) ponte de (b) diodos e transistor bipolar.....	9

Capítulo 2

Figura 2.1 – Topologia simplificada para o regulador CA/CA proposto.....	12
Figura 2.2 – Interruptor bidirecional em tensão e corrente (dois Mosfets em anti-série)..	13
Figura 2.3 – Topologia da estrutura proposta com as chaves bidirecionais.....	13
Figura 2.4 - Topologia para a 1a etapa de funcionamento.....	14
Figura 2.5 - Topologia para a 2a etapa de funcionamento.....	15
Figura 2.6 – Etapas de funcionamento para o conversor proposto durante a evolução dos dois semi-ciclos da tensão de alimentação CA.....	17
Figura 2.7 – Ganho estático da estrutura em função da razão cíclica eficaz.....	18
Figura 2.8 – Valores eficazes das tensões e correntes no regulador Sepic em CA.....	19
Figura 2.9 – Circuito equivalente para Sa aberta e Sb fechada.....	21
Figura 2.10 – Valor da capacitância de saída: (a) em função da razão cíclica eficaz (D); (b) em função do ganho estático (q).....	23
Figura 2.11 – Detalhe da modulação PWM para um trecho da tensão de alimentação no semi-ciclo positivo para a modulação PWM.....	24

Figura 2.12 – Detalhe da lógica adicional para o controle dos quatro interruptores S_1, S_2, S_3 e S_4 para um ciclo da rede de alimentação para a modulação PWM.....	25
Figura 2.13 – Detalhe da modulação por histerese constante (Modulação Delta).....	26
Figura 2.14 – Variação da frequência de chaveamento para o semi-ciclo positivo da tensão de entrada, considerando-se modulação Delta.....	28
Figura 2.15 – Detalhe da modulação (controle) por histerese variável.....	29
Figura 2.16 – Variação da frequência de chaveamento para o semi-ciclo positivo (a) e semi-ciclo negativo (b) da tensão de entrada, considerando-se modulação por Histerese Variável.....	29
Figura 2.17 – Modulação por histerese variável do tipo “Bang-Bang”: (a) Forma ideal para a corrente de entrada; (b) Detalhe do controle para um trecho da tensão de alimentação no semi-ciclo positivo.....	31
Figura 2.18 – Diagrama lógico simplificado do controle proposto.....	32
Figura 2.19 - Verificação da variação da frequência de chaveamento em função do evento de “clock” (clkme) no semi-ciclo positivo.....	33
Figura 2.20 – Controlador proporcional proposto.....	34
Figura 2.21 – Diagrama de blocos simplificado do controle proposto.....	35
Figura 2.22 – (a) Forma de onda da tensão de entrada $v_I(t)$ e da corrente através do indutor $L_I, i_I(t)$, durante um período da rede CA de alimentação; (c) Detalhe do “ripple” máximo da corrente de entrada, $i_I(t)$, durante (d) alguns períodos de chaveamento.....	39
Figura 2.23 - (a) Forma de onda da tensão de saída e da corrente através da carga; (b) Detalhe do “ripple” da tensão de saída.....	40
Figura 2.24 – (a) Forma de onda da corrente através do indutor de acumulação durante um período da tensão de alimentação; (b) Detalhe do “ripple” de corrente através de L_m para alguns períodos de chaveamento.....	41
Figura 2.25 - Potência média de entrada P_{in} e potência média de saída P_o , para um capacitor C_o de 5 μ F.....	41
Figura 2.26 – (a) Forma de onda da tensão sobre S_1 ; (b) Forma de onda da tensão sobre S_2	42

Figura 2.27 - (a) Forma de onda da corrente através de S_1 ; (b) Forma de onda da corrente através de S_2	43
Figura 2.28 - Detalhe das formas de onda das correntes I_{S1} e I_{S2} , para alguns períodos de chaveamento.....	44
Figura 2.29 – Forma de onda da tensão de entrada $v_I(t)$ e da corrente através do indutor L_I $i_I(t)$ durante um período da rede CA de alimentação (histerese variável).....	44
Figura 2.30 – (a) Detalhe do início do chaveamento efetivo; (b) Detalhe do chaveamento no final do ciclo.....	46
Figura 2.31 – (a) Forma de onda da corrente através do indutor de magnetização durante um período da tensão de alimentação; (b) Detalhe do “ripple” de corrente através de L_m para alguns períodos de chaveamento.....	46
Figura 2.32 - (a) Forma de onda da tensão de saída e da corrente através da carga; (b) Detalhe do “ripple” da tensão de saída (histerese variável).	47
Figura 2.33 - Potência de entrada e potência de saída para o conversor proposto.....	47
Figura 2.34 – Tensão de alimentação e corrente de entrada no conversor proposto para uma carga não linear (histerese variável).....	48
Figura 2.35 - Tensão de saída (V_O) do regulador proposto para uma carga não linear (histerese variável).....	49
Figura 2.36 – (a) Forma de onda da tensão de entrada $v_I(t)$ e da corrente através do indutor L_I , $i_I(t)$, durante um período da rede CA de alimentação; (b) Detalhe do “ripple” máximo da corrente de entrada, $i_I(t)$, durante alguns períodos de chaveamento (Modulação “Bang-Bang”).....	50
Figura 2.37 – Detalhe da lógica adicional para minimizar variações abruptas da frequência de chaveamento.....	51
Figura 2.38 – (a) Forma de onda da corrente através do indutor de acumulação durante um período da tensão de alimentação; (b) Detalhe do “ripple” de corrente através de L_m para alguns períodos de chaveamento.....	51
Figura 2.39 - (a) Forma de onda da tensão de saída e da corrente através da carga; (b) Detalhe do “ripple” da tensão de saída (Modulação “Bang-Bang”)....	52
Figura 2.40 - (a) Forma de onda da tensão sobre o capacitor de acumulação; (b) Valores eficazes da tensão da rede CA de alimentação e da tensão sobre o capacitor de acumulação (C_I).....	53

Figura 2.41 - Potência eficaz de entrada P_{in} e potência eficaz de saída P_O , para um capacitor C_O de $5\mu F$	54
Figura 2.42 – (a) Forma de onda da tensão sobre S_1 ; (b) Forma de onda da tensão sobre S_2	55
Figura 2.43 - (a) Forma de onda da corrente através de S_1 ; (b) Forma de onda da corrente através de S_2	55
Figura 2.44 - Detalhe das formas de onda das correntes I_{S1} e I_{S2} , para alguns períodos de chaveamento.....	56
Figura 2.45 – (a) Detalhes das formas de onda da tensão sobre S_1 e da corrente através do mesmo; (b) Detalhe da comutação de S_1 – entrada em condução.....	56
Figura 2.46 – Tensão de alimentação e corrente de entrada no conversor proposto alimentando uma carga não linear (retificador monofásico com filtro capacitivo).....	58
Figura 2.47 - Tensão de saída (V_O) do regulador CA proposto, para alimentação de uma carga não linear (retificador monofásico com filtro capacitivo).....	58
Figura 2.48 – Pulso de controle (V_c) para variação de carga.....	59
Figura 2.49 – Formas de onda para variação de carga: (a) Corrente de referência (I_{ref}); (b) Corrente de entrada (I_I).....	59
Figura 2.50 – Forma de onda da corrente de referência (I_{ref}) para uma redução de carga de 50% e Pulso de Controle (V_c).....	60
Figura 2.51 – Forma de onda da corrente de referência (I_{ref}) para o conversor operando com 50% de carga e entrada de carga nominal e Pulso de Controle (V_c)....	60
Figura 2.52 – (a) Forma de onda da tensão instantânea de saída (V_O); (b) Valor eficaz da tensão de saída (V_O) para variação de carga (entrada e saída de carga) e Pulso de controle (V_c).....	61

Capítulo 3

Figura 3.1 - Diagrama de blocos simplificado incluindo: Circuito de potência, Sensor “Hall”, Trafo (sensor de tensão), Condicionamento de sinais para o conversor A/D, FPGA e Circuito de comando.....	65
--	----

Figura 3.2 – Detalhe do controle para um trecho da tensão de alimentação no semi-ciclo positivo para a Modulação por histerese variável tipo “Bang-Bang”..	66
Figura 3.3 – Detalhe da lógica adicional para o controle dos quatro interruptores S_1 , S_2 , S_3 e S_4 para um ciclo da rede de alimentação para a Modulação por histerese variável tipo “Bang-Bang”	67
Figura 3.4 – Bloco com os componentes gerados através da linguagem de descrição de “hardware” e implementados no FPGA, a saber: componente “total”, componente “entrada” e componente “sepictrl”	68
Figura 3.5 – Resultado de simulação da descrição VHDL do componente “entrada” através do simulador ModelSim 5.7g XE II	71
Figura 3.6 – Identificação da corrente de referência (V_{ref}), a corrente amostrada (I_{sens}) e a região de transição, assim como, o patamar superior, inferior e zero.....	71
Figura 3.7 – Resultado de simulação do funcionamento do componente “sepictrl” através do simulador ModelSim 5.7g XE II	75
Figura 3.8 – (a) Bloco com entradas e saídas para o componente “entrada”; (b) Bloco com entradas e saídas para o componente “sepictrl”	75
Figura 3.9 - Bloco com entradas e saídas para o componente “total”	76
Figura 3.10 - Diagrama de bloco simplificado incluindo: Circuito de potência, Sensor e condicionamento da tensão de entrada, FPGA e Circuito de comando (Modulação PWM)	77
Figura 3.11 – Detalhe do sensoramento e condicionamento da tensão de alimentação em CA	77
Figura 3.12 – Detalhe do controle para um trecho da tensão de alimentação no semi-ciclo positivo para a modulação PWM	78
Figura 3.13 – Detalhe da lógica adicional para o controle dos quatro interruptores S_1 , S_2 , S_3 e S_4 para um ciclo da rede de alimentação para a modulação PWM..	79
Figura 3.14 – Resultado de simulação do funcionamento do componente modulação PWM, para um ciclo da rede de alimentação em CA através do simulador ModelSim 5.7g XE II	80

Capítulo 4

Figura 4.1 – Visão geral dos dispositivos auxiliares, dos circuitos de condicionamento, conversor A/D, FPGA e dispositivo de acionamento de “gate” (opto + comando).....	83
Figura 4.2 – Tensão de saída no LTS 15-NP em função da corrente no primário.	86
Figura 4.3 – Fotografia da placa D2SB da Agilent.....	87
Figura 4.4 – Diagrama de blocos do D2SB.	88
Figura 4.5 – Circuito esquemático do condicionamento de sinal da tensão de referência para entrada no conversor A/D.....	91
Figura 4.6 – Circuito esquemático do condicionamento de sinal da corrente amostrada para entrada no conversor A/D.....	92
Figura 4.7 – Exemplo de diagrama esquemático para os circuitos de comando de “gate” para os interruptores.....	93
Figura 4.8 – Diagrama do HCPL-3180 da Agilent.....	94
Figura 4.9 – Circuito esquemático do estágio de comando dos interruptores.....	95
Figura 4.10 - Núcleo tipo UU com seus principais parâmetros.....	98
Figura 4.11 – Circuito de potência implementado, com os elementos e os componentes semicondutores especificados.....	100
Figura 4.12 – Tensão e corrente na entrada considerando 80% da carga nominal.....	100
Figura 4.13 – (a) Espectro harmônico da corrente de entrada; (b) Limites das harmônicas de corrente segundo a norma IEC 61000-3-2.....	101
Figura 4.14 – Tensão e corrente de saída considerando 80% da carga nominal.	101
Figura 4.15 – Espectro harmônico da tensão de saída.....	102
Figura 4.16 – Tensões sobre os interruptores S_1 e S_3	102
Figura 4.17 – Tensão sobre os interruptores S_2 e S_4	102
Figura 4.18 – Correntes através dos interruptores S_1 , S_2 , S_3 e S_4	103
Figura 4.19 – Detalhe das comutações do interruptor Mosfet S_1	104
Figura 4.20 – Detalhe das comutações para o IGBT S_4	104
Figura 4.21 – Tensão e corrente na entrada considerando 95% da carga nominal.....	105

Figura 4.22 – (a) Espectro harmônico da corrente de entrada; (b) Limites das harmônicas de corrente segundo a norma IEC 61000-3-2.....	106
Figura 4.23 – Tensão de saída considerando 95 % da carga nominal.....	106
Figura 4.24 – Espectro harmônico da tensão de saída.....	106
Figura 4.25 – Tensões sobre os interruptores S_1 e S_2	107
Figura 4.26 – Correntes através dos interruptores S_1 , S_2 , S_3 e S_4	107
Figura 4.27 – Detalhes da comutação e do bloqueio para os interruptores S_1 (Mosfet) e S_2 (Igbt).....	108
Figura 4.28 – (a) Forma de onda da corrente através do indutor de magnetização (L_2); (b) Forma de onda sobre o capacitor de acumulação (C_2).....	108
Figura 4.29 - Fotos da montagem do protótipo implementado em laboratório.....	109

LISTA DE TABELAS

Capítulo 2

Tabela 2.1 – Dados de Projeto para o regulador CA/CA Sepic.....	38
---	----

Capítulo 3

Tabela 3.1 – Estatística do processo de síntese do componente “entrada”.....	70
Tabela 3.2 – Número de elementos inferidos pela ferramenta de síntese para o componente “entrada”.....	70
Tabela 3.3 – Estatística do processo de síntese do componente “sepictl”.....	73
Tabela 3.4 – Número de elementos inferidos pela ferramenta de síntese para o componente “sepictl”.....	74
Tabela 3.5 – Estatística do processo de síntese do componente “total”.....	76
Tabela 3.6 – Estatística do processo de síntese do componente “entrada”.....	79
Tabela 3.7 – Número de elementos inferidos pela ferramenta de síntese para o componente “PWM”.....	80

Capítulo 4

Tabela 4.1 – Configurações para o sensor de corrente LTS 15-NP.....	85
Tabela 4.2 - Principais condições de operação recomendadas.....	94
Tabela 4.3 – Esforços de tensão e corrente nos interruptores e nos elementos passivos, obtidos através de simulação digital.....	95
Tabela 4.4 – Especificação para os componentes do estágio de potência do regulador Sepic.....	99

SIMBOLOGIA

1. Símbolos usados em expressões matemáticas

Símbolo	Significado	Unidade
ΔI	ondulação de corrente (“ripple”)	A
ΔI_L	“ripple” de corrente através de L_L	A
ΔI_{C_O}	“ripple” de corrente através de C_O	A
ΔI_{L_m}	“ripple” de corrente através de L_m	A
ΔI_{R_O}	“ripple” de corrente através de R_O	A
ΔV_O	“ripple” de tensão sobre C_O	V
ϕ	defasagem da tensão de saída em relação à tensão de entrada	rd
η	Rendimento	
μ_0	$4 \cdot \pi \cdot 10^{-7}$	H/m
a e b	Coefficientes da reta que gera o ganho K do compensador	
A_e	Área efetiva da seção transversal do núcleo magnético	cm ²
A_w	Área da janela disponível para os enrolamentos (carretel)	cm ²
B	Densidade de fluxo do núcleo	T
C_L	Capacitor de acumulação do Sepic	F
clk	clock	
C_O	Capacitor de saída do Sepic	F
D	Razão cíclica eficaz, ou razão cíclica efetiva de controle	
$D(\omega t)$	razão cíclica instantânea	
deltax	Região de transição	
D_{min}	razão cíclica eficaz mínima	
f	Frequência	Hz
f_s	freqüência de chaveamento	Hz
$f_{smáx}$	máxima freqüência de chaveamento	Hz
$f_{smín}$	mínima freqüência de chaveamento	Hz
I_L	Valor eficaz da corrente de entrada	A
$I_{L\ pico}$	Corrente de pico de entrada	A
I_{C_L}	Corrente através do capacitor de acumulação C_L	A
I_{C_O}	Corrente através do capacitor C_O	A

I_{ef}	Corrente eficaz que circula através do fio condutor de cobre	A
I_{inf}	Corrente de referência inferior	A
I_{Lm}	Valor eficaz da corrente através de L_m	A
I_O	Valor eficaz da corrente de saída	A
I_{ref}	Corrente de referência superior	A
I_{RO}	Corrente através do resistor R_O	A
I_{S1}	Corrente através do interruptor S_1	A
I_{S2}	Corrente através do interruptor S_2	A
I_{S3}	Corrente através do interruptor S_3	A
I_{S4}	Corrente através do interruptor S_4	A
I_{sens}	Corrente amostrada (I_I)	A
I_{sup}	Corrente de referência superior	A
J	Densidade de corrente do fio condutor	A/cm ²
K	Ganho do compensador proporcional	
K_c	Coefficiente de ajuste dos indutores na área A_w	
L_1	Indutor de entrada do Sepic	H
L_{1min}	mínima indutância de entrada	H
L_{eq}	L_1 em paralelo com L_m	H
L_g	Comprimento do entreferro	cm
L_m	Indutor de magnetização do Sepic	H
N_e	Número de espiras	
P_{in}	Potência eficaz de entrada	W
P_O	Valor eficaz da Potência de Saída, ou potência ativa na saída	W
P_O	Potência eficaz de saída	W
Q	Ganho estático	
R_O	Resistência de carga	Ω
$S_{1..4}$	Interruptor 1...4	
SC-	Semi-ciclo negativo	
SC+	Semi-ciclo positivo	
S_{cu}	Seção do fio condutor de cobre	cm ²
T	Período	s
V_1	Tensão eficaz de entrada	V
$V_1(t)$	Tensão senoidal instantânea de entrada	V

V_{Inst}	Valores eficazes instantâneos da tensão senoidal de entrada	V
V_{In}	valores eficazes instantâneos de $v_I(t)$ no semi-ciclo negativo	V
V_{Ip}	valores eficazes instantâneos de $v_I(t)$ no semi-ciclo positivo	V
V_{C1}	Tensão sobre o capacitor C_1	V
V_{ig}	tensão de ignição (início do chaveamento efetivo)	V
V_O	Tensão eficaz de saída (carga)	V
V_{pico}	tensão de pico da rede de alimentação	V
V_{RMS}	Tensão eficaz	V
V_{S1}	Tensão sobre o interruptor S_1	V
V_{S2}	Tensão sobre o interruptor S_2	V
x	valor eficaz da tensão de saída	V
ΔI_1	“ripple” de corrente através de L_1	A
ΔI_{Co}	“ripple” de corrente através de L_m	A
ΔI_{Lm}	“ripple” de corrente através de L_m	A
ΔI_{Ro}	“ripple” de corrente através de R_O	A
ΔV_O	“ripple” de tensão sobre C_O	V
ω	freqüência angular da rede de alimentação	rd

2. Símbolos usados para referenciar elementos em diagramas de circuitos

Símbolo	Significado
C	Capacitor
D	Diodo
L	Indutor
R	Resistor
S	Interruptor controlado
V	Fonte de tensão

3. Acrônimos e abreviaturas

Símbolo	Significado
A/D	Analógico/Digital
ASIC	<i>“Application Specific Integrated Circuit”</i>
CA	Corrente alternada
CA/CA	corrente alternada/corrente alternada
CA/CC	corrente alternada/ corrente contínua
CC/CA	corrente contínua/ corrente alternada
CC/CC	corrente contínua/corrente contínua
CLB	<i>“Configurable Logic Block”</i>
CM	Conversor em Matriz
CPLD	<i>“Complex Programmable Logic Devices”</i>
DLL	<i>“Delay Locked Loop”</i>
DSP	<i>“Digital Signal Processor”</i>
EEPROM	<i>“Electrically Erasable Programmable Memory”</i>
EPLD	<i>“Erasable Programmable Logic Device”</i>
EPROM	<i>“Electrically Programmable Memory”</i>
FEIS	Faculdade de Engenharia de Ilha Solteira
FPGA	<i>“Field Programmable Gate Array”</i>
GTO	<i>“Gate Turn-Off Thyristor”</i>
HDL	<i>“Hardware Description Language”</i>
IEC	<i>“International Electrotechnical Commssion”</i>
IEEE	<i>“Institute of Electrical and Electronics Engineers”</i>
Igbts	<i>“Insulated Gate Bipolar Transistors”</i>
IOB	<i>“In/Out Block”</i>
LE	<i>“Logic Element”</i>
LUT	<i>“Look-up Tables”</i>
Mosfet	<i>“Metal-Oxide-Semiconductor Field-Effect Transistor”</i>
PAL	<i>“Programmable Array Logic”</i>
PLA	<i>“Programmable Logic Array”</i>
PLD	<i>“Programmable Logic Device”</i>
PROM	<i>“Programmable Read Only Memories”</i>
PWM	<i>“Pulse Width Modulated”</i>

rms	<i>“Root-mean-square”</i>
RTC	Reator Controlado a Tiristor
SCR	<i>“Silicon Controlled Rectifier”</i>
Sepic	<i>“Single ended primary inductance converter”</i>
SMPS	<i>“Switching Mode Power Supply”</i>
DHT	Distorção Harmônica Total
UNESP	Universidade Estadual Paulista
UPS	<i>“Uninterruptible Power Supply”</i>
VHDL	<i>“VHSIC Hardware Description Language”</i>
VHSIC	<i>“Very High Speed Integrated Circuit”</i>

4. Símbolos de unidades de grandezas físicas do SI (Sistema Internacional de Unidades)

Símbolo	Nome da unidade
Ω	ohm
A	ampère
F	farad
H	henry
Hz	hertz
m	metro
rad/s	radianos por segundos
s	segundo
V	Volt
W	watt

SUMÁRIO

1 – INTRODUÇÃO GERAL E LOCALIZAÇÃO DO PROBLEMA.....	1
1.1 ORGANIZAÇÃO DO TRABALHO	11
2 – ANÁLISE E PRINCÍPIO DE FUNCIONAMENTO DO CONVERSOR PROPOSTO.....	12
2.1 – INTRODUÇÃO	12
2.2 – PRINCÍPIO DE FUNCIONAMENTO E GANHO ESTÁTICO	12
2.2.1 – <i>Etapas de funcionamento e análise matemática</i>	14
2.3 – GANHO ESTÁTICO	16
2.4 – TÉCNICAS DE MODULAÇÃO	23
2.4.1 – <i>Modulação PWM com frequência Constante</i>	24
2.4.2 – <i>Modulação por Histerese Constante (Modulação Delta)</i>	25
2.4.3 – <i>Modulação por Histerese Variável</i>	28
2.4.4 – <i>Modulação por histerese variável do tipo “Bang-Bang”</i>	30
2.5 – METODOLOGIA DE PROJETO	35
2.5.1 – <i>Determinação dos parâmetros do circuito</i>	35
2.5.2 – <i>Resultados de simulação e análise</i>	38
2.6 – CONCLUSÕES.....	62
3 – IMPLEMENTAÇÃO DAS TÉCNICAS DE CONTROLE.....	64
3.1 – INTRODUÇÃO	64
3.2 – CONTROLE DIGITAL PARA A MODULAÇÃO POR HISTERESE VARIÁVEL TIPO “BANG-BANG”	65
3.2.1 – <i>Implementação dos Códigos em VHDL</i>	67
3.2 – CONTROLE DIGITAL PARA A MODULAÇÃO PWM COM FREQUÊNCIA CONSTANTE.....	77
3.3 – CONCLUSÕES.....	81

4 – IMPLEMENTAÇÃO DA PROPOSTA E RESULTADOS EXPERIMENTAIS ...	82
4.1 – INTRODUÇÃO.....	82
4.2 – DISPOSITIVOS AUXILIARES, CIRCUITOS DE CONDICIONAMENTO DE SINAIS E DE COMANDO DE “GATE”.....	83
4.2.1 – <i>Sensor de Tensão</i>	84
4.2.2 – <i>Sensor de Corrente tipo Hall</i>	84
4.2.3 – <i>Conversor Analógico Digital (A/D)</i>	86
4.2.4 – <i>A Placa de Desenvolvimento D2SB</i>	87
4.2.5 – <i>Circuitos de Condicionamento de Sinais</i>	91
4.2.6 – <i>Comando dos Interruptores</i>	92
4.3 - ESPECIFICAÇÃO DOS SEMICONDUTORES.....	95
4.4 - PROJETO DOS NÚCLEOS PARA OS INDUTORES.....	96
4.5 – RESULTADOS EXPERIMENTAIS.....	99
4.5.1 – <i>Resultados experimentais para a Técnica de modulação por histerese variável do tipo “Ban-Bang”</i>	99
4.5.2 – <i>Resultados experimentais para a Técnica de modulação PWM</i>	105
4.6 – CONCLUSÕES.....	110
5 – CONCLUSÕES FINAIS.....	112
6 – PROPOSTAS DE CONTINUIDADE PARA O TRABALHO.....	115
7 - PUBLICAÇÕES RESULTANTES DO TRABALHO.....	116
APÊNDICE “A”	123
APÊNDICE “B”	125
APÊNDICE “C”	126
APÊNDICE “D”	127
APÊNDICE “E”	128
APÊNDICE “F”	129
APÊNDICE “G”	130
APÊNDICE “H”	131

APÊNDICE “I”	133
APÊNDICE “J”	137
APÊNDICE “L”	140
APÊNDICE “M”	142
APÊNDICE “N”	147

1 – Introdução Geral e Localização do Problema

Os equipamentos elétricos atuais, de forma geral, são mais sensíveis às variações das fontes de energia que o alimentam. Como o sistema de alimentação em corrente alternada em CA nem sempre oferece características satisfatórias, há a necessidade do desenvolvimento de equipamentos que possibilitem adequada conexão entre a carga e a alimentação, ou seja, a estabilidade da tensão fornecida à carga e a minimização da injeção de correntes com elevado conteúdo harmônico à rede de alimentação em CA. Os reguladores e estabilizadores de tensão são equipamentos que podem possibilitar estas características desejadas para a interconexão entre a carga e a rede de CA.

Os primeiros equipamentos que foram utilizados para desempenhar esta tarefa de regulação da tensão, foram os reguladores lineares baseados em auto-transformadores e comutação de “*taps*” de forma eletro-mecânica. Estes equipamentos, apesar de serem bastante robustos, são volumosos, lentos (dinamicamente) pesados e não proporcionam a correção do fator de potência do sistema regulador + carga.

Neste contexto, com a evolução da eletrônica de potência e advento dos interruptores semicondutores baseados em tiristores sendo um deles o SCR (“*Silicon Controlled Rectifier*”), surgiram os denominados variadores de tensão (também conhecidos como gradadores, compensadores estáticos ou controladores de tensão). Estes dispositivos, a partir de uma tensão alternada de entrada, permitem o controle do valor eficaz da tensão de saída (na carga), através do controle do ângulo de disparo dos SCRs.

Apesar dos gradadores permitirem ampla variação do valor eficaz da tensão de saída, com frequência fundamental idêntica à da tensão de alimentação, apresentam enorme distorção harmônica tanto na tensão de saída, quanto na corrente de entrada, mesmo para alimentação de carga linear (inclusive, puramente resistiva) [1].

Outras estruturas reguladoras e estabilizadoras de tensão, denominadas cicloconversores, permitem além do controle da tensão eficaz, a imposição da frequência fundamental da tensão de saída, a partir da tensão de alimentação em corrente alternada com uma frequência maior.

Estruturas que permitem a variação da frequência de saída podem ser ainda obtidas com a associação de um estágio retificador seguido de um estágio inversor, permitindo ainda a regulação e estabilização do valor eficaz da tensão na carga. Entretanto, estas estruturas com dois estágios provocam a redução do rendimento global da estrutura, além de exigirem a

correção do fator de potência no estágio de entrada (de forma passiva ou ativa) para o atendimento às normas internacionais, como por exemplo, a IEC 61000-3-2.

Os cicloconversores, denominados também de conversores diretos de frequência, assim como as estruturas baseadas em dois estágios (retificador e inversor), também denominados de conversores indiretos de frequência, não são objetivo de maiores análises neste trabalho, uma vez que a principal aplicação destas estruturas se destina ao acionamento de máquinas de corrente alternada e à obtenção de tensão de alimentação regulada e estabilizada, sendo a fonte primária turbo-alternadores de elevadas velocidades no caso dos cicloconversores (elevadas frequências das tensões geradas, aplicação em aeronaves) [1].

No contexto das estruturas baseadas em gradadores à SCRs, suas principais aplicações são as seguintes: controle de temperatura (aquecimento indutivo e resistivo), controle de luminosidade para lâmpadas incandescentes, controle de velocidade de pequenas máquinas de corrente alternada (baixa potência), controle da corrente de partida de máquinas de indução, compensação de reativos e regulação de tensão.

No que se refere às aplicações de regulação/estabilização de tensões em corrente alternada, as estruturas gradadoras convencionais (baseadas somente em auto-transformadores, e/ou transformadores, comutados com SCRs), apesar da simplicidade e robustez, não permitem a alimentação de cargas não lineares típicas, como por exemplo microcomputadores e demais cargas alimentadas por fontes chaveadas convencionais, e, atendimento simultâneo às restrições de conteúdo harmônico impostos pela norma IEC 61000-3-2.

Uma primeira evolução das estruturas gradadoras convencionais, para a aplicação como regulador/estabilizador de tensão, de tal forma a permitir elevado fator de potência e reduzida distorção harmônica na corrente de entrada, foi à conjugação desta estrutura com os denominados compensadores de reativos tipo RCT (Reator Controlado a Tiristor), como mostrado na Figura 1.1 [2].

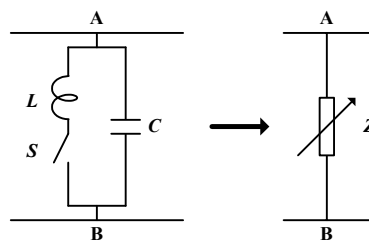


Figura 1.1 - Célula para emulação de uma impedância variável, para aplicação em compensadores de reativos e reguladores de tensão.

Com o controle do ângulo de disparo de S (SCR) é possível variar a impedância equivalente vista dos terminais AB, sendo os elementos L e C projetados para operarem na frequência de ressonância em igualdade com a fundamental da tensão de alimentação.

Desta forma, o volume dos elementos L e C , para redes de distribuição típicas de baixa frequência (50 ou 60 Hz), são elevados e além de seus custos, podem resultar em diversos problemas operacionais quando instalados inadequadamente (ressonâncias, sobretensões, problemas de energização, etc...), para aplicações como compensadores de reativos.

Neste contexto, a estrutura apresentada na Figura 1.2, baseada na célula dos RCTs, permite a regulação e estabilização da tensão de saída, conforme equação (1.1), com reduzida distorção harmônica total (DHTI) na corrente de entrada, considerando-se cargas lineares, além de apresentar robustez e simplicidade [2].

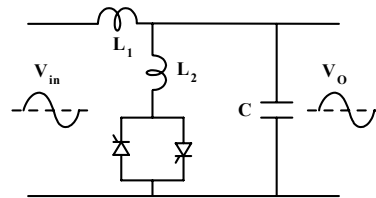


Figura 1.2 - Regulador de tensão CA à SCRs, usando técnica de impedância variável.

$$V_{in} = V_o \cdot \sqrt{\left(1 - \frac{X_{LO}}{X_C}\right)^2 + \left(\frac{X_{LO}}{R}\right)^2} \quad (1.1)$$

As desvantagens da estrutura apresentada na Figura 1.2 são as seguintes: regulação da tensão de saída limitada às variações de aproximadamente 10% da tensão de entrada, resposta lenta com relação a distúrbios da rede e da carga (estruturas baseada em SCRs, interruptores de reduzida frequência de comutação), reduzida densidade de potência (W/cm^3), elevado volume e peso, indesejáveis distorções harmônicas na corrente de entrada para alimentação de cargas não lineares [2 e 3].

Assim, com o advento dos semicondutores transistores (bipolares, Mosfets – “*Metal-Oxide-Semiconductor Field-Effect Transistor*”, Igbts – “*Insulated Gate Bipolar Transistors*”) de potência e seus rápidos avanços tecnológicos, permitindo a operação em elevadas frequências de comutação, foi possível a aplicação da estrutura apresentada na Figura 1.2 com melhores respostas dinâmicas a perturbações de linha e carga, com a conseqüente redução do volume e peso dos elementos reativos.

Portanto, empregando-se transistores de potência e frequências de comutação elevadas, tornou-se possível a compactação das estruturas reguladoras/estabilizadoras de tensão (redução de volume e peso), sendo possível sua aplicação para potências mais elevadas

com baixo custo. Entretanto, tais estruturas ainda não permitiam a correção do fator de potência para aplicações com cargas não lineares e atendimento à norma IEC 61000-3-2, por exemplo.

Neste sentido, várias pesquisas têm sido conduzidas com o propósito de incrementar o rendimento, reduzir o volume e peso, e atender às restrições de distorções harmônicas impostas por normas de qualidade do processamento de energia.

É neste contexto que se insere esta proposta de Doutorado, ou seja, propor, analisar e implementar uma nova estrutura reguladora/estabilizadora de tensão CA, de tal forma que possibilite elevada densidade de potência (reduzido volume e peso), ofereça atendimento às restrições de conteúdo harmônico da norma IEC 61000-3-2 (classe A) e que proporcione elevado rendimento (baixas perdas), quando comparadas com os sistemas convencionais para regulação da tensão.

Uma das interessantes propostas exploradoras na literatura é a utilização dos clássicos conversores CC/CC (corrente contínua/corrente contínua), denominados Buck, Buck-Boost, Boost, Sepic, Zeta e Cuk, na conversão CA/CA (corrente alternada/corrente alternada).

Todos estes conversores citados, podem ser transformados numa família de conversores CA/CA [3, 4 e 5]. Para isto, é necessário que os interruptores tenham bidirecionalidade em corrente e tensão. Um outro aspecto desejável na escolha do regulador é a possibilidade da correção do fator de potência. Para isto, é interessante que o conversor tenha características de fonte de corrente na entrada, ou seja, um filtro indutivo na entrada. O estágio de potência dos conversores PWM (“*Pulse Width Modulated*”) CA/CA, em elevadas frequências, derivados dos conversores CC/CC, são apresentados na Figura 1.3.

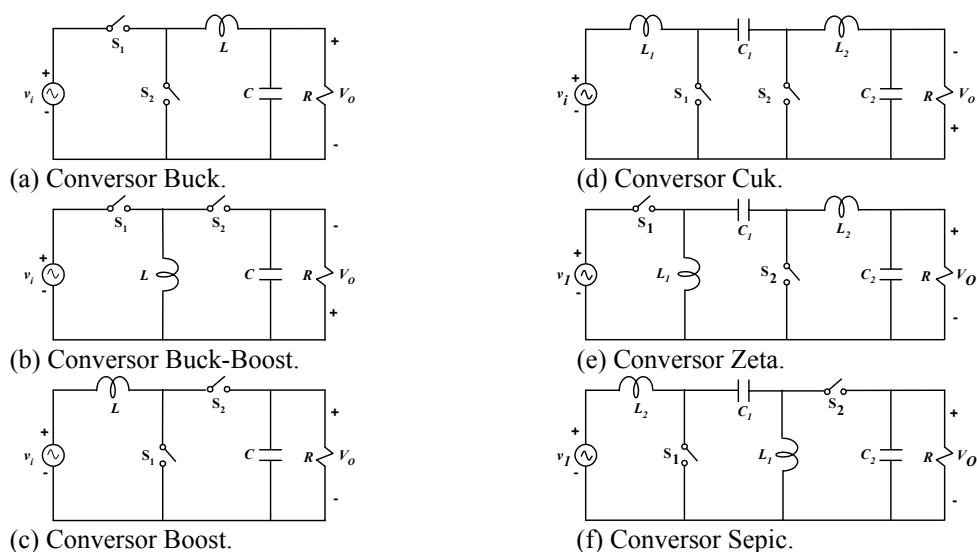


Figura 1.3 - Conversores PWM CA em elevadas frequências derivados dos conversores CC/CC, considerando-se as polaridades para o semi-ciclo positivo da tensão de entrada.

Apresenta-se a seguir as principais características de cada conversor citado, no que se refere à operação e regulação em CA/CA, correção do fator de potência e possibilidade de isolamento da carga.

O conversor Buck, Figura 1.3 (a), empregando transistores bidirecionais em tensão e corrente e operando em médias e elevadas frequências, propicia condições para a imposição de elevado fator de potência na entrada e produção de uma corrente com conteúdo harmônico reduzido na entrada, apesar da descontinuidade “natural” da corrente de entrada. Além disso, como resultado da elevada frequência de chaveamento, a dinâmica do sistema é melhorada, se comparada com o controle de fase dos SCRs [3]. Além da desvantagem do modo de condução da corrente de entrada, o que limita a estrutura para aplicações em baixa potência, uma outra desvantagem do conversor Buck CA/CA é a impossibilidade de isolamento natural da carga. Caso haja a necessidade desta isolamento, será necessária a derivação da topologia para possibilitar a introdução de um transformador a ser operado em elevadas frequências. Desta forma, um segundo elemento armazenador de energia é requerido, o que torna o conversor mais volumoso. Outra possibilidade para isolamento é a utilização de um transformador operando em baixa frequência (60 Hz), colocado antes do conversor, não se beneficiando das elevadas frequências de comutação e impossibilitando a redução no volume, peso e custo.

Em [3] é proposto o emprego do conversor Buck-Boost CA/CA, conforme Figura 1.3 (b), como forma de se obter a regulação CA/CA com a vantagem do isolamento por um transformador que opera em elevada frequência, uma vez que L pode ser substituído por um transformador. Entretanto, o conversor Buck-Boost apresenta desvantagens quanto ao aspecto da correção do fator de potência, pois o mesmo não tem naturalmente um filtro de entrada, e, como no caso Buck, a corrente de entrada será inerentemente descontínua, também limitando sua aplicação para baixas potências.

O conversor Boost, Figura 1.3 (c), apresenta vantagens quanto a correção de fator de potência, podendo apresentar continuidade na corrente de entrada quando comparado com o Buck-Boost ou Buck. Entretanto, não tem a característica de isolamento “natural” da carga, além do fato de que o mesmo somente opera como elevador de tensão. Isto é uma limitação técnica para este conversor que impossibilita sua utilização para aplicações práticas usuais em reguladores CA/CA, convencionalmente utilizados em equipamentos de informática (microcomputador, etc...).

O conversor `Cuk, apresentado na Figura 1.3 (d), tem característica de fonte de corrente na entrada e fonte de corrente na saída. Sob o aspecto da correção do fator de

potência ele apresenta vantagens, entretanto, também não é naturalmente isolável, e apresentará elevado volume para aplicações isoladas, fruto da derivação da estrutura.

O conversor Zeta, mostrado na Figura 1.3 (e), não apresenta vantagens para a correção do fator de potência, uma vez que sua corrente de entrada será descontínua, limitando a estrutura para baixas potências. Entretanto, a estrutura Zeta é naturalmente isolável.

A última estrutura básica, derivada dos conversores CC/CC convencionais, é o conversor Sepic, conforme Figura 1.3(f). O conversor Sepic tem como característica de entrada um filtro indutivo e como característica de saída um filtro capacitivo, conferindo-lhe, em condução contínua, características de fonte de corrente de entrada e fonte de tensão de saída. Estas características propiciam vantagens adicionais para a estrutura Sepic e, associadas à característica de isolamento natural, permitem sua aplicação como regulador/estabilizador de tensão, uma vez que é possível a operação tanto como abaixador, quanto como elevador de tensão.

Outra vantagem significativa da estrutura Sepic é o fato de apresentar um capacitor de acumulação (C_I) no ramo série entre a alimentação e a carga. Este capacitor, quando da aplicação da versão isolada da estrutura, impede a saturação do transformador (L_I substituído por elemento transformador, operando em elevadas frequências), e, adicionalmente, assim como nas estruturas Cuk e Zeta, restringe as correntes de “*inrush*” (partida/energização) e elimina a necessidade de circuitos de limitação de sobrecorrentes durante a partida/energização, reduzindo-se volume e custos para a estrutura.

Outras estruturas derivadas dos conversores CC/CC podem ser utilizadas como reguladores de tensão, como por exemplo, conversor Half-Bridge e Full-Bridge [6, 7 e 8].

Em [7], é proposta uma família de conversores CA/CA (Forward, Interleaved Forward, Push-Pull, Half-Bridge e Full-Bridge) baseadas na topologia do tipo Forward com controle “*phase-shifted*” com link CA em elevada frequência. Em [8], é apresentada uma família de conversores CA/CA (Flyback, Push-Pull, Half-Bridge e Full-Bridge) baseada no conversor Flyback, operando com frequência constante e resultando em reduzida DHT. As principais características destas duas propostas são: topologias simples, dois estágios de conversão de potência, bidirecionalidade do fluxo de potência, isolamento galvânica em elevada frequência, possibilidade de potências mais elevadas, entretanto, é necessário um número maior de interruptores bidirecionais, elevando-se custos e reduzindo a confiabilidade da estrutura.

A estrutura apresentada em [9], permite a regulação de tensão CA/CA baseada no conversor Flyback, apresentando como vantagens a isolamento galvânica através de um

transformador operando em elevada frequência, uma estrutura compacta e com elevado fator de potência. Entretanto, como no caso do Buck-Boost, a estrutura impõe descontinuidade à corrente de entrada.

Em [10] utiliza-se um conversor Half-Bridge como regulador de um único estágio. Basicamente, o conversor Half-Bridge CA/CA é composto pela operação de dois conversores Buck CA/CA complementares, um com razão cíclica D e outro com $(1-D)$. O circuito é formado por três interruptores bidirecionais, conforme Figura 1.4. Dois destes interruptores, S_1 e S_2 , operam alimentando o transformador e o outro, S_3 , alimentando a carga.

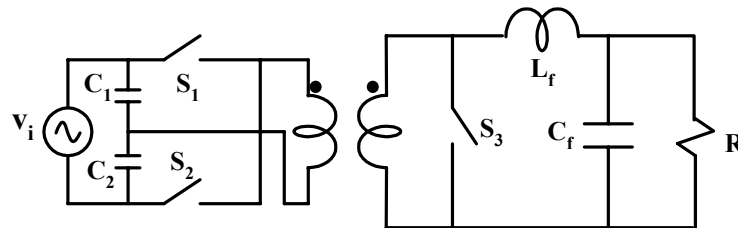


Figura 1.4 - Conversor Half-Bridge para operação CA/CA, proposto em [10].

A estrutura proposta em [10] tem como principais vantagens a operação em elevada frequência, características de isolamento, eliminação do estágio retificador e do estágio inversor. Entretanto, apresenta como desvantagens o uso de três interruptores bidirecionais ativos, necessidade de tempo morto e não é naturalmente adequada para correção do fator de potência.

Estruturas baseadas nos filtros ativos série para compensação da tensão também são possíveis [11 e 12]. O princípio básico consiste em conectar em série com a alimentação, o secundário de um transformador que é alimentado, por exemplo, através de um inversor fonte de tensão (VSI-Voltage Source Inverter). Entretanto, esta estrutura apresenta a desvantagem da dificuldade de se prover a correção do fator de potência, além do transformador em série operando em baixa frequência.

Uma outra estrutura também usada é a apresentada em [13 e 14], consistindo na operação de dois conversores forward operando como fonte de corrente, devido a dois indutores séries, o que compromete o rendimento da estrutura para potências mais elevadas. Também neste caso, há dificuldades em se ter elevado fator de potência.

Apesar de se ter apresentado, até o momento, diversas topologias monofásicas para a regulação de tensão CA/CA, estruturas trifásicas também foram propostas com o mesmo objetivo. Em [15] é feita uma avaliação comparativa de alguns conversores trifásicos PWM AC/AC (Buck, Boost, Buck-Boost e Cuk), no que se refere a: especificações de projeto,

esforços nos interruptores, componentes reativos, projetos de “*snubbers*” e eficiência do conversor. Uma família de conversores PWM trifásicos para condicionamento CA é apresentado em [16], onde se pode verificar a possibilidade de isolamento galvânica destes conversores.

Recentemente, o conversor em matriz (CM) tem recebido grande atenção como uma alternativa para a regulação de tensão e para aplicações como inversores em acionamentos elétricos. Em [17] registra-se a primeira aplicação desta estrutura, a qual era denominado de cicloconversor de comutação forçada. O CM, convencional, trifásico, é um tipo de conversor CA-CA de comutação forçada, constituído de nove interruptores bidirecionais, dependendo da configuração, capaz de realizar a transferência de energia entre a fonte e a carga sem a necessidade de um elemento armazenador de energia (nem indutor e nem capacitor), de forma que haverá uma maior eficiência se comparado com o sistema composto por retificador e inversor, no qual haveria, convencionalmente, quatro interruptores no caminho da corrente, contra dois neste conversor (interruptor e o diodo). Entretanto, o seu rendimento se reduz com o aumento da frequência de comutação imposta aos interruptores.

Além da ausência de um elo de corrente contínua, outros aspectos positivos são a facilidade de operação em quatro quadrantes (permite a obtenção de qualquer forma de onda de tensão e de corrente de saída, assim como, qualquer forma de corrente de entrada) e o elevado fator de potência na entrada. Diferentemente do que ocorre nos cicloconversores, em que só é possível sintetizar formas de onda na saída com frequências abaixo da frequência de entrada, como são utilizados interruptores totalmente controláveis no CM (Mosfets, Igbts e GTOs – “*Gate Turn-Off Thyristor*”), pode-se operar tanto abaixo quanto acima da frequência de entrada. No entanto, o reduzido ganho de tensão desta estrutura, no máximo 0,866, dependendo do tipo de modulação empregada [19], assim como, a complexidade do circuito de controle e das técnicas de proteção, limitam a aplicação prática do CM.

Por outro lado, para aplicação como regulador de tensão, o CM também possui grandes limitações, principalmente considerando-se distúrbios presentes nas redes CA de alimentação, tais como “*Sags*” e “*Swell*”.

Posteriormente, o assunto foi melhor analisado por diversos pesquisadores, e em especial, Venturini [18] propôs algoritmos para o controle dos interruptores, baseados em uma fundamentação matemática mais rigorosa de tal forma a impor as taxas de distorção harmônicas das tensões de saída e sua regulação. A Figura 1.5 apresenta um esquema básico para um conversor em matriz.

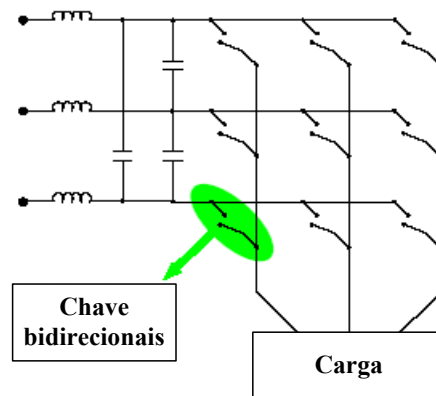


Figura 1.5 – Diagrama do conversor em matriz (CM).

Para a implementação de diversas estruturas analisadas em aplicações CA/CA, torna-se necessária a utilização de interruptores bidirecionais em tensão e corrente. O interruptor bidirecional deve ser capaz de bloquear tensão e conduzir corrente nos dois sentidos. Devido a inexistência deste componente de potência no mercado, constroem-se interruptores bidirecionais a partir de associações de semicondutores de potência, tais como Mosfets, transistores Igbts e diodos. Algumas possíveis configurações de associações são mostradas na Figura 1.6.

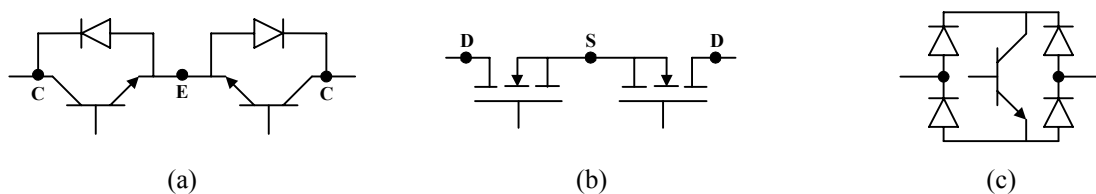


Fig. 1.6 - Possíveis configurações para a realização de um interruptor bidirecional: (a) Transistores bipolares e diodos, (b) transistores Mosfets e (c) ponte de diodos e transistor bipolar.

O problema da comutação devido à natureza indutiva da maioria das cargas impõe restrições ao comando dos interruptores bidirecionais que estão conectados à mesma fase da carga, quais sejam:

- 1 - Apenas um interruptor bidirecional deve conduzir a cada instante de tempo, caso contrário, haverá um curto circuito nas fontes de alimentação;
- 2 - Pelo menos um interruptor bidirecional deve conduzir a cada instante de tempo, caso contrário, as tensões induzidas destruirão o interruptor, pela ausência de um caminho para a corrente na carga indutiva.

O problema da comutação do CM surge quando se deseja comutar dois interruptores bidirecionais conectados à mesma fase da carga. Neste caso, é necessária a realização de uma comutação em etapas, conforme proposto em [20].

Pelo fato do CM propiciar uma corrente na entrada com um “*ripple*” de elevada frequência, há a necessidade de um filtro *LC* adicional, o que não compromete significativamente o volume final da estrutura, uma vez que o conversor opera com elevada frequência de chaveamento.

Diversos pesquisadores têm investigado técnicas de modulação buscando um melhor rendimento para a estrutura [21, 22, 23, 24, 25 e 26].

Topologias alternativas de conversor em matriz, com saída monofásica, ou com entrada e saída monofásicas também são possíveis.

Em [27 e 28] propõe-se um conversor PWM CA Buck utilizando dois interruptores bidirecionais em tensão e corrente, sendo um em série com a tensão de alimentação e o outro em paralelo com a carga.

A literatura também apresenta em [29] os reguladores de tensão de dois estágios com link CC, ou reguladores indiretos. O primeiro estágio é de retificação (CA/CC), seguido de um estágio inversor (CC/CA). Estes apresentam o inconveniente do estágio de retificação em baixa frequência, de forma que um capacitor de acumulação de energia de elevado volume deve ser previsto. Um das principais vantagens destas estruturas é que elas podem propiciar uma tensão de saída com a frequência desejada. Como já analisado, estas estruturas possuem baixo rendimento e necessitam de técnicas adicionais associadas ao estágio de entrada para a correção do fator de potência.

Apesar desta revisão bibliográfica ter apresentado o estado da arte das aplicações de estruturas do domínio da eletrônica de potência, para reguladores/estabilizadores de tensão, informa-se que o objetivo principal desta pesquisa é o desenvolvimento de uma estrutura simples, de baixo custo, elevado rendimento e elevado fator de potência, para aplicações monofásicas.

Portanto, o presente trabalho propõe a utilização da estrutura Sepic como regulador/estabilizador de tensão em corrente alternada, em função das diversas vantagens apresentadas nesta revisão para esta estrutura, ou seja, tem como principais vantagens; característica de fonte de corrente na entrada (condução contínua) e fonte de tensão na saída, operação como abaixador e como elevador de tensão, restringe as correntes de “*inrush*” (energização), sendo naturalmente isolável. Adicionalmente, com a finalidade de obter maior flexibilidade para o controle e melhoria na resposta dinâmica da estrutura, propõe-se o estudo e implementação de técnicas digitais de controle para o regulador/estabilizador de tensão, através do uso de linguagem de descrição de hardware (VHDL) e utilização de dispositivo programável FPGA (“*Field Programmable Gate Array*”).

1.1 Organização do Trabalho

O presente trabalho encontra-se organizado da seguinte maneira:

No Capítulo 1 apresenta-se a introdução geral para o trabalho, contendo uma breve revisão bibliográfica, com a colocação do problema e apresentação da solução proposta a ser desenvolvida nos demais capítulos deste trabalho.

No Capítulo 2 apresenta-se a proposta de um novo regulador/estabilizador de tensão utilizando o conversor Sepic, sua análise, metodologia e exemplo de projeto, incluindo-se análises de técnicas de modulação para a imposição de elevado fator de potência para a estrutura, com reduzida taxa de distorção harmônica na corrente de entrada. Apresenta-se ainda os resultados de simulações para as seguintes técnicas de modulações: modulação PWM com frequência, modulação por histerese variável e modulação por histerese variável do tipo “*Bang-Bang*”.

No Capítulo 3 apresentam-se as potencialidades da técnica de descrição de hardware através de linguagem de programação (VHDL) em dispositivo programável do tipo EPLD.

No Capítulo 4 apresentam-se os diversos blocos desenvolvidos através da linguagem de descrição de “*hardware*”, com o objetivo de implementar a técnica de controle da corrente de entrada da estrutura proposta, com histerese variável, garantindo-se em qualquer condição de alimentação, ou da carga, reduzida distorção harmônica na corrente de entrada, e por consequência, elevado fator de potência para a estrutura proposta.

No Capítulo 5 apresentam-se detalhes da implementação prática do exemplo de projeto desenvolvido no Capítulo 2, os principais resultados obtidos, considerando-se a operação em malha aberta para a tensão de saída, e as análises dos resultados obtidos.

Finalizando, o Capítulo 6 apresenta as conclusões gerais e as propostas de continuidade para o trabalho.

2 – Análise e Princípio de funcionamento do conversor proposto

2.1 – Introdução

No Capítulo 1 apresentou-se uma breve revisão bibliográfica dos principais conversores CA/CA. Dentre eles, o conversor Sepic foi escolhido por apresentar as principais características desejadas para a operação como regulador de tensão. Desta forma, neste capítulo será analisado o princípio de funcionamento do conversor Sepic como regulador de tensão CA e o dimensionamento de todos os parâmetros envolvidos no seu circuito. Analisam-se também as técnicas de modulação para correção ativa do fator de potência. Finalizando, apresentam-se os resultados de simulação com as principais formas de onda em cada elemento do circuito e suas análises.

2.2 – Princípio de funcionamento e ganho estático

O conversor CA/CA proposto neste trabalho, cuja topologia simplificada está representada na Figura 2.1, requer uma alimentação alternada diretamente da rede de alimentação, considerada em 60 Hz.

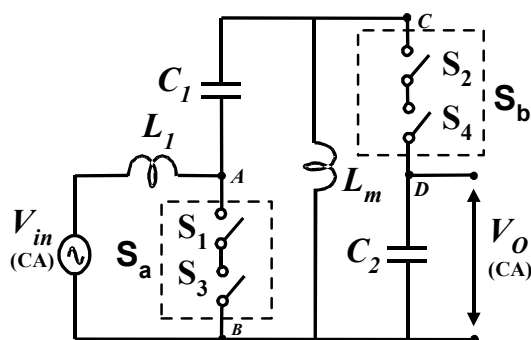


Figura 2.1 – Topologia simplificada para o regulador CA/CA proposto.

Para que o processamento possa ocorrer na forma alternada, os interruptores S_1 e S_2 devem ser bidirecionais em corrente e tensão. A Figura 2.2 mostra um arranjo utilizado para os interruptores bidirecionais em tensão e corrente, o qual consiste na ligação de dois Mosfets em anti-série.

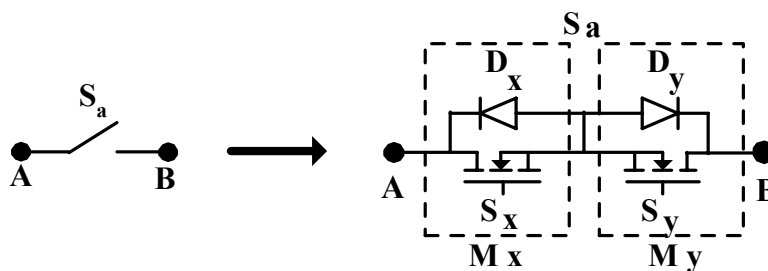


Figura 2.2 – Interruptor bidirecional em tensão e corrente (dois Mosfets em anti-série).

Assim, a estrutura da Figura 2.1 pode ser redesenhada conforme a topologia apresentada na Figura 2.3. Observa-se que o Mosfet genérico M_x é composto do interruptor S_x e diodo em anti-paralelo D_x , compondo a bidirecionalidade de corrente para M_x . Observa-se, entretanto que D_x é intrínseco ao componente Mosfet.

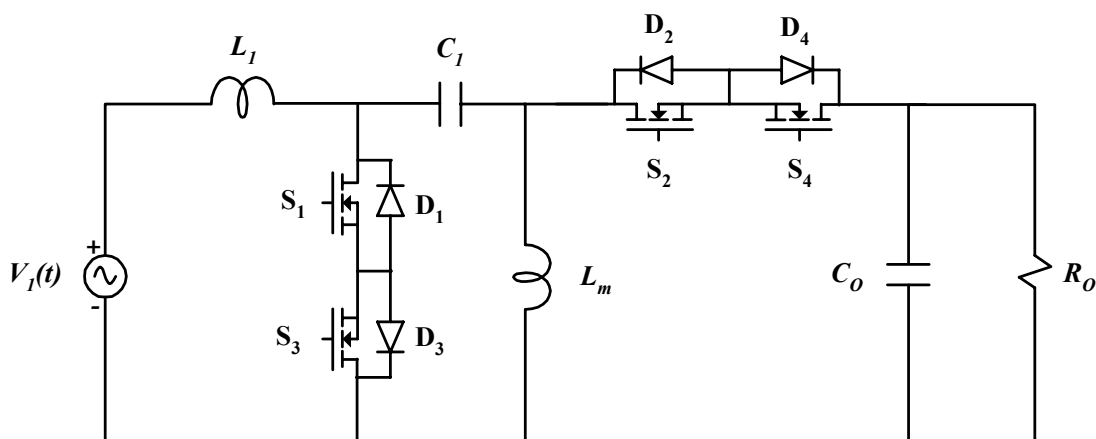


Figura 2.3 – Topologia da estrutura proposta com as chaves bidirecionais.

Com o objetivo de descrever as etapas de funcionamento e esboçar a característica de ganho estático do conversor Sepic CA/CA assume-se que:

- Todos os semicondutores são ideais;
- A frequência de chaveamento é muito maior (> 500 vezes) que a frequência da rede de alimentação em CA (60 Hz);
- Durante um período genérico de chaveamento a tensão de entrada é constante;
- A tensão de entrada é considerada totalmente senoidal;
- Os elementos reativos são ideais.

Assim, admite-se que, para cada período de chaveamento, o valor da tensão de entrada (V_I) será igual aos valores eficazes instantâneos da tensão senoidal de entrada $v_I(t)$. É interessante observar que a operação desta estrutura consiste em quatro etapas de

funcionamento, duas no semi-ciclo positivo da tensão de alimentação e duas no semi-ciclo negativo da mesma. As duas etapas no semi-ciclo positivo, primeira e segunda etapas, são aquelas relativas à condução do interruptor S_1 com o bloqueio do interruptor S_2 e, bloqueio de S_1 com a condução de S_2 , respectivamente. Por outro lado, nas duas etapas no semi-ciclo negativo, uma é relativa à condução de S_3 com o bloqueio de S_4 e a outra relativa ao bloqueio de S_3 com a condução de S_4 .

2.2.1 – Etapas de funcionamento e análise matemática

2.2.1.1 - Primeira etapa de funcionamento

Esta etapa de funcionamento consiste em comandar S_1 para a condução e S_2 para o bloqueio. A Figura 2.4 representa a topologia resultante para esta etapa de funcionamento. Durante esta etapa, o indutor L_1 armazena energia, enquanto que o capacitor C_1 transfere energia para L_m . O fornecimento de energia para a carga (R_o) fica ao encargo do capacitor de saída C_o .

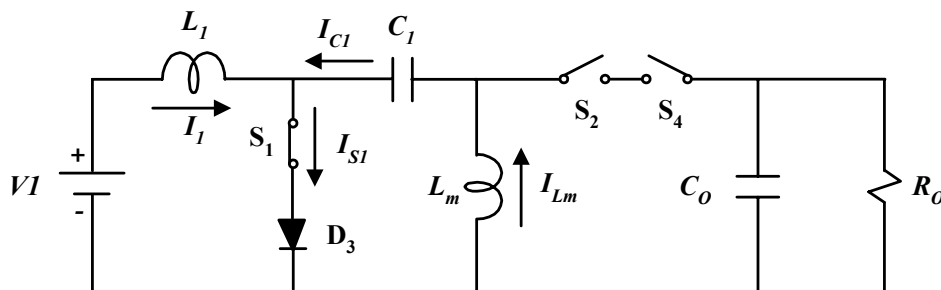


Figura 2.4 - Topologia para a 1ª etapa de funcionamento.

Da Figura 2.4, considerando-se as convenções adotadas, pode-se chegar às equações (2.1), (2.2), (2.3) e (2.4).

$$v_1 = L_1 \cdot \frac{di_1}{dt} \quad (2.1)$$

$$v_{C_1} = L_m \cdot \frac{di_m}{dt} \quad (2.2)$$

$$-C_o \cdot \frac{dv_o}{dt} - \frac{1}{R_o} \cdot v_o = 0 \quad (2.3)$$

$$-C_1 \cdot \frac{dv_{C_1}}{dt} + i_1 - i_{S_1} = 0 \quad (2.4)$$

Com base nas equações (2.1), (2.2), (2.3) e (2.4), e manipulações algébricas, obtém-se as equações de estado para esta etapa de funcionamento.

$$\frac{di_1}{dt} = \frac{1}{L_1} \cdot v_1 \quad (2.5)$$

$$\frac{di_m}{dt} = \frac{1}{L_m} \cdot v_{C_1} \quad (2.6)$$

$$\frac{dv_O}{dt} = -\frac{1}{R_O \cdot C_O} \cdot v_O \quad (2.7)$$

$$\frac{dv_{C_1}}{dt} = -\frac{1}{C_1} \cdot i_m \quad (2.8)$$

2.2.1.2 - Segunda etapa de funcionamento

Esta etapa de funcionamento consiste em comandar S_2 para a condução e S_1 para o bloqueio, conforme representado na Figura 2.5. Durante esta etapa de funcionamento, o capacitor C_1 armazena energia, enquanto que a carga passa a ser alimentada pelas energias armazenadas na etapa anterior nos indutores L_m e L_1 . Assim, a partir do novo comando para a condução de S_1 e o bloqueio de S_2 , a operação se repetirá ciclicamente, durante todo o semi-ciclo positivo da tensão senoidal de alimentação.

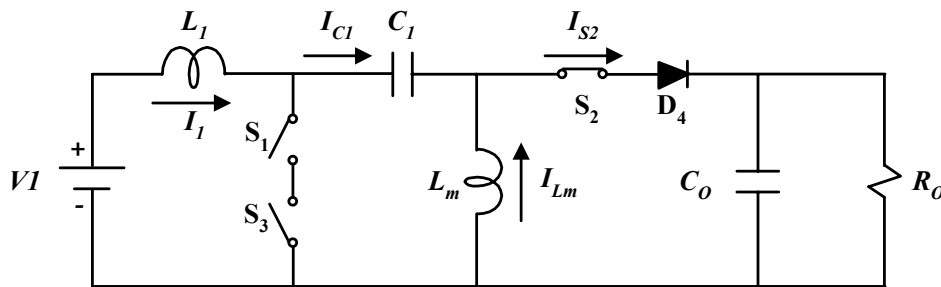


Figura 2.5 - Topologia para a 2ª etapa de funcionamento.

Da Figura 2.5, considerando-se as convenções adotadas, pode-se chegar às equações (2.9), (2.10), (2.11) e (2.12).

$$v_1 = L_1 \cdot \frac{di_1}{dt} + v_{C_1} - L_m \cdot \frac{di_m}{dt} \quad (2.9)$$

$$L_m \cdot \frac{di_m}{dt} = -v_O \quad (2.10)$$

$$i_1 + i_m - C_o \cdot \frac{dv_o}{dt} - \frac{1}{R_o} = 0 \quad (2.11)$$

$$C_1 \cdot \frac{dv_1}{dt} + i_m - i_{S_2} = 0 \quad (2.12)$$

Valendo-se de manipulações algébricas nas equações (2.9), (2.10), (2.11) e (2.12), obtém-se as equações de estado para esta etapa de funcionamento.

$$\frac{di_1}{dt} = \frac{1}{L_1} \cdot (v_1 - v_{C_1} - v_o) \quad (2.13)$$

$$\frac{di_m}{dt} = -\frac{1}{L_m} \cdot v_o \quad (2.14)$$

$$\frac{dv_o}{dt} = \frac{1}{C_o} \cdot (i_1 + i_m - \frac{1}{R_o} \cdot v_o) \quad (2.15)$$

$$\frac{dv_{C_1}}{dt} = \frac{1}{C_1} \cdot i_1 \quad (2.16)$$

2.3 – Ganho Estático

O circuito de potência para o conversor em análise está representado na Figura 2.3, em que $v_I(t)$ representa a tensão senoidal da rede de alimentação, e que:

$$v_I(t) = V_{pico} \cdot \text{sen}(\omega \cdot t) \quad (2.17)$$

Onde:

V_{pico} = tensão de pico da rede de alimentação

ω = frequência angular da rede de alimentação

Para melhor visualização do funcionamento da estrutura CA/CA, representa-se na Figura 2.6 os circuitos equivalentes para as quatro etapas de funcionamento, durante um período da tensão de alimentação $v_I(t)$. V_{Ip} e V_{In} são os valores eficazes instantâneos de $v_I(t)$, considerados constantes para um período de chaveamento, tanto no semi-ciclo positivo, quanto para o negativo, respectivamente. A operação é simétrica, tanto para o semi-ciclo positivo da tensão alternada da rede de alimentação, Figura 2.6 (a), quanto para o semi-ciclo negativo, Figura 2.6 (b), alterando-se apenas os sentidos das correntes e os comandos dos interruptores S_1 , S_2 , S_3 e S_4 equivalentes. Deve-se observar ainda que, no

ramo dos interruptores (S_1/S_3 ou S_2/S_4), a condução da corrente se dá pelo interruptor que estiver habilitado e pelo diodo intrínseco do Mosfet em anti-série desabilitado. Por exemplo, se no ramo S_1/S_3 o interruptor S_1 estiver conduzindo, o diodo intrínseco D_3 também estará. Para o caso de se usar Igbts, por exemplo, seria necessário usar um componente com diodo encapsulado (“*co-pack*”), ou, caso o Igbt não possua este diodo encapsulado, deve-se usar um diodo externo adicional em anti-paralelo em cada Igbt utilizado.

Torna-se importante observar que o fluxo de energia resultante será da esquerda para a direita, ou seja, da fonte $v_1(t)$ para a carga R_O .

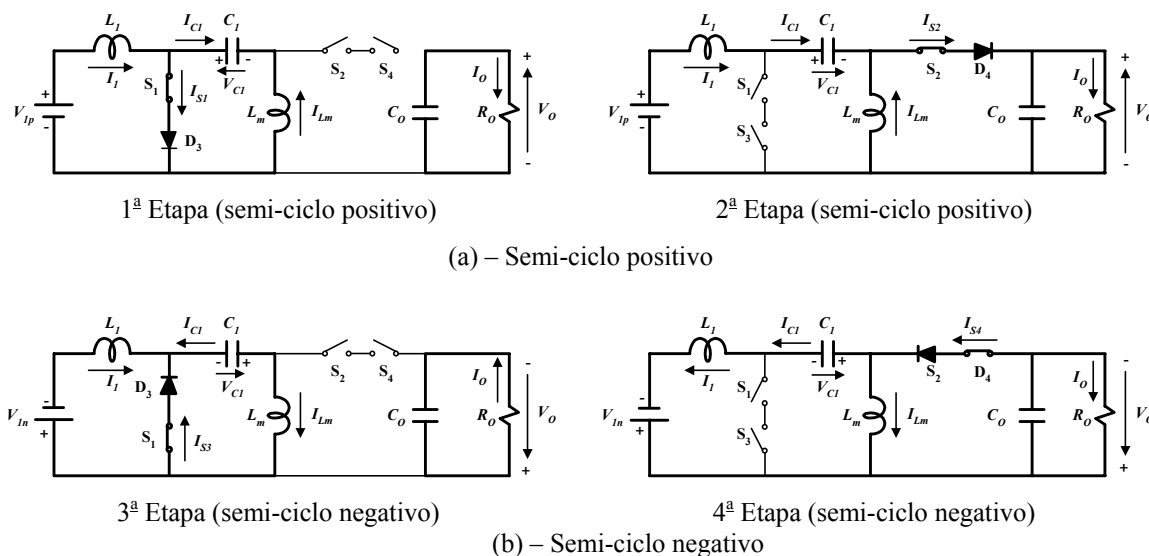


Figura 2.6 – Etapas de funcionamento para o conversor proposto durante a evolução dos dois semi-ciclos da tensão de alimentação CA.

Observa-se que o conversor Sepic apresenta uma característica de entrada de fonte de corrente, ou seja, a fonte de tensão em série com uma indutância L_1 confere esta propriedade ao conversor. Na conversão CA/CA o indutor de entrada (L_1) e o capacitor de acumulação (C_1) operam com características de filtro, e por consequência, seus valores médios de corrente e tensão, respectivamente, são nulos.

Da mesma forma, os elementos de saída (L_m e C_o) do conversor deverão ter as mesmas características, diferentemente dos conversores CC/CC, não apresentando valores médios, ou seja, seus valores médios deverão ser nulos para a operação CA/CA. Como observado, na aplicação CA/CA, a tensão sobre o capacitor de saída (C_o) tem valor médio nulo. Assim, numa metodologia de projeto adequada, deverão ser considerados o fator de potência da carga e a mínima distorção harmônica requerida para a corrente de entrada.

Uma outra questão refere-se às resistências série dos capacitores C_I e C_O . As correntes eficazes através destas resistências séries provocarão perdas por efeito joule, comprometendo o rendimento da estrutura. Desta forma, tanto C_I , quanto C_O deverão ser especificados com reduzidas resistências série.

Na metodologia de projeto e nos resultados de simulação serão determinados todos os elementos do circuito, considerando-se a técnica de modulação desejada.

Considerando-se que a modulação a ser empregada imporá, idealmente, formas de onda de corrente senoidal de entrada e tensão senoidal de saída (2.18), tem-se que o ganho estático (q) da estrutura é definido pela equação (2.19).

$$v_o(t) = V_{PO} \cdot \text{sen}(\omega \cdot t + \phi) \quad (2.18)$$

Onde:

V_{PO} = Valor máximo da tensão de saída

ϕ = defasagem da tensão de saída em relação à tensão de entrada (depende da impedância do circuito)

$$q = \frac{V_o}{V_i} = \frac{D(t)}{1 - D(t)} \quad (2.19)$$

Onde:

V_o = Tensão eficaz de saída

V_i = Tensão eficaz de entrada

D = Razão cíclica eficaz, ou razão cíclica efetiva de controle

Da equação (2.19), e, considerando-se que a tensão eficaz de entrada seja igual a tensão eficaz de saída (aproximação), a razão cíclica eficaz é de 0,5.

A Figura 2.7 apresenta o ganho estático em função da razão cíclica eficaz (D).

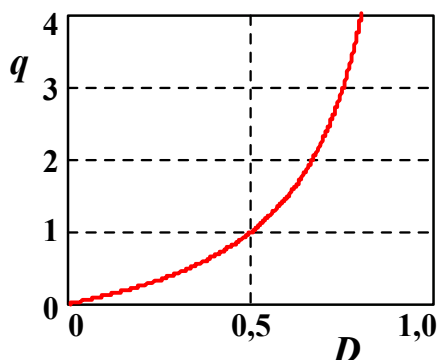


Figura 2.7 – Ganho estático da estrutura em função da razão cíclica eficaz.

Assim, considerando-se valores eficazes das correntes e tensões no regulador proposto, conforme Figura 2.8, tem-se que:

$$I_{Ro} = \sqrt{I_m^2 + I_1^2} \quad (2.20)$$

Onde:

I_O = Valor eficaz da corrente de saída

I_1 = Valor eficaz da corrente de entrada

I_m = Valor eficaz da corrente através de L_m

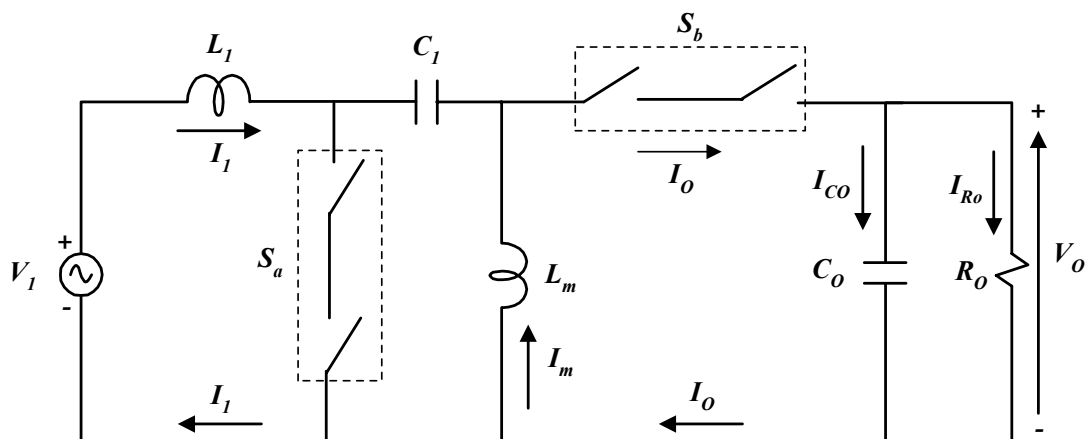


Figura 2.8 – Valores eficazes das tensões e correntes no regulador Sepic em CA.

Ainda, considerando-se que o projeto de C_O e possível filtro adicional (L_f e C_f) a ser inserido na saída do regulador, atenda os critérios de projeto analisados em [30], então, pode-se desconsiderar a corrente eficaz em C_o (assim como aquelas do possível filtro L_f e C_f na entrada). Logo tem-se que:

$$I_O = I_{Ro} \quad (2.21)$$

Onde:

I_{Ro} = Valor eficaz da corrente na carga (R_O)

Portanto,

$$I_{Ro} = \sqrt{I_m^2 + I_1^2} \quad (2.22)$$

Logo, para uma determinada condição de projeto, especificam-se as principais grandezas eficazes de saída do regulador de tensão, quais sejam:

P_O = Valor médio da Potência de Saída, ou potência ativa na saída

V_O = Valor eficaz da tensão de saída (na carga)

Assim,

$$I_o = \frac{P_o}{V_o} \quad (2.23)$$

Considerando-se, a condição ideal de rendimento da estrutura do regulador proposto, tem-se ainda que:

$$V_1 \cdot I_1 = V_o \cdot I_o \quad (2.24)$$

Logo, com as seguintes condições para especificação do projeto do regulador:

$$\begin{cases} V_1 : (V_{1_{\min}} ; V_{1_{nom}} ; V_{1_{\max}}) \\ V_o \\ P_o \end{cases} \quad (2.25)$$

têm-se condições de determinação dos valores eficazes das principais grandezas necessárias para o projeto dos elementos da estrutura proposta, quais sejam:

$$\begin{cases} I_{Ro} \rightarrow I_1 \rightarrow I_{Lm} \\ V_{1_{\min}} \xrightarrow{V_o} D_{\min} \\ V_{1_{nom}} \xrightarrow{V_o} D_{nom} \\ V_{1_{\max}} \xrightarrow{V_o} D_{\max} \end{cases} \quad (2.26)$$

Considerando-se ainda que os valores eficazes das tensões de entrada e sobre o capacitor C_1 são idênticos, ou seja:

$$V_1 = V_{C1} \quad (2.27)$$

Então, com as especificações consideradas para projeto, e desconsiderando-se as perdas da estrutura (rendimento ideal – 100%), têm-se condições de projeto para os elementos reativos do regulador e especificação dos semicondutores.

Os esforços nos semicondutores, considerando-se o conjunto de interruptores S_a e S_b e o princípio de funcionamento do regulador Sepic, podem ser estimados pelas seguintes equações:

$$\begin{cases} V_{S_{a_{\max}}} = V_{1_{pico}} + V_{O_{pico}} \\ V_{S_{b_{\max}}} = V_{1_{pico}} + V_{O_{pico}} \end{cases} \quad (2.28)$$

$$\begin{cases} I_{S_a} = \sqrt{I_1^2 + I_{Lm}^2} \\ I_{S_b} = \sqrt{I_1^2 + I_{Lm}^2} \end{cases} \quad (2.29)$$

Onde:

I_{S_a} = valor eficaz da corrente através de S_a

I_{S_b} = valor eficaz da corrente através de S_b

Considerando-se que o projeto da capacitância de saída (C_o) influencia diretamente no “ripple” da tensão de saída e que existe forte dependência da carga (R_o), admite-se que a principal influência para este “ripple” e para a transferência de potência para a carga é o intervalo de tempo $(1-D).T$.

Independente do tipo de modulação admitiremos freqüência constante ($T =$ constante) nesta metodologia simplificada de projeto.

Logo, no intervalo $(1-D).T$ tem-se o circuito equivalente da Figura 2.9.

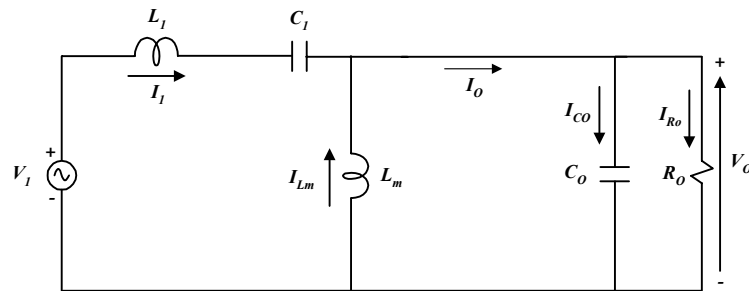


Figura 2.9 – Circuito equivalente para S_a aberta e S_b fechada.

A capacitância C_1 influencia fortemente a taxa de distorção harmônica na corrente de entrada, assim será analisada de forma especial para este caso. Entretanto, admite-se que a queda de tensão em C_1 seja desprezível, tendo-se assim que:

$$\Delta I_1 + \Delta I_{Lm} = \Delta I_{Co} + \Delta I_{Ro} \quad (2.30)$$

Onde:

$\Delta I_1 =$ ripple de corrente em L_1 , intervalo $(1-D).T$

$\Delta I_{Lm} =$ ripple de corrente em L_m , intervalo $(1-D).T$

$\Delta I_{Co} =$ ripple de corrente em C_o , intervalo $(1-D).T$

$\Delta I_{Ro} =$ ripple de corrente na carga, intervalo $(1-D).T$

Assim, considerando-se as condições simplificadoras, tem-se que:

$$\begin{cases} \Delta I_1 = \frac{V_1 - V_o}{L_1} \cdot (1-D).T \\ \Delta I_{Lm} = \frac{V_o}{L_m} \cdot (1-D).T \\ \Delta I_{Co} = C_o \cdot \frac{\Delta V_o}{(1-D).T} \end{cases} \quad (2.31)$$

Onde:

$\Delta V_o =$ “ripple” de tensão em C_o , durante o intervalo $(1-D).T$

Logo, com a consideração de freqüência constante ($f =$ constante), tem-se que:

$$f = \frac{1}{T} \quad (2.32)$$

Então, desconsiderando-se o “ripple” na corrente de carga e condição de “ripple” não nulo na tensão de saída (ΔV_o), tem-se que:

$$\frac{V_1 - V_o}{L_1} \cdot \frac{(1-D)}{f} + \frac{V_o}{L_m} \cdot \frac{(1-D)}{L_m} = C_o \cdot \frac{f \cdot \Delta V_o}{(1-D)} \quad (2.33)$$

Assim,

$$C_o = \frac{(1-D)^2}{f^2} \cdot \frac{1}{\Delta V_o} \cdot \left[\frac{V_1 - V_o}{L_m} + \frac{V_o}{L_m} \right] \cdot \left(\frac{V_1}{V_1} \right) \quad (2.34)$$

Logo,

$$C_o = \frac{(1-D)^2}{f^2} \cdot \frac{V_1}{\Delta V_o} \cdot \left[\frac{V_1 - V_o}{L_m} + \frac{V_o}{L_m} \right] \quad (2.35)$$

Desenvolvendo-se (2.35) e considerando-se a equação (2.19), então:

$$C_o = \frac{(1-D)^2}{f^2} \cdot \frac{V_1}{\Delta V_o} \cdot \left[\frac{(1-2D)}{(1-D) \cdot L_1} + \frac{D}{(1-D) \cdot L_m} \right] \quad (2.36)$$

Logo,

$$C_o = \frac{(1-D)}{f^2} \cdot \frac{V_1}{\Delta V_o} \cdot \left[\frac{(1-2D)}{L_1} + \frac{D}{L_m} \right] \quad (2.37)$$

Assim, com a especificação de L_l e L_m , considerando-se as condições de projeto para V_l e ΔV_o , tendo-se a condição de frequência constante e com D , calcula-se a capacitância mínima para o capacitor de saída (C_o).

Ainda é possível calcular a capacitância de C_o em função do ganho estático q , conforme equação (2.38).

$$C_o = \frac{1}{(1+q)^2 \cdot f^2} \cdot \frac{V_1}{\Delta V_o} \cdot \left[\frac{(1-q)}{L_1} + \frac{q}{L_m} \right] \quad (2.38)$$

A Figura 2.10 apresenta a curva para a capacitância de saída em função da razão cíclica eficaz (a) e do ganho estático (b).

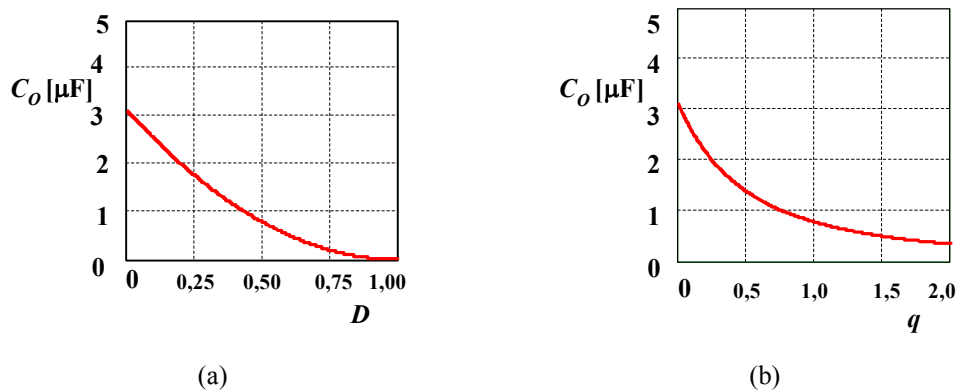


Figura 2.10 – Valor da capacitância de saída: (a) em função da razão cíclica eficaz (D); (b) em função do ganho estático (q).

Com $L_l = L_m$, tem-se a possibilidade de se encontrar uma equação limite para o filtro formado por L_l e C_o , em função de q e D , considerando-se a condição de “ripple” máximo para a tensão de saída, conforme equação (2.39).

$$L_l \cdot C_o = \frac{(1-D)^2}{0,03 \cdot f^2 \cdot q} \quad (2.39)$$

2.4 – Técnicas de Modulação

Um dos objetivos deste trabalho é obter uma corrente de entrada com a mínima distorção harmônica resultando num elevado fator de potência. Desta forma, as técnicas de modulação que propiciam uma reduzida taxa de distorção harmônica e a correção ativa do fator de potência devem ser consideradas de tal forma a atenderem as normas de qualidade de energia. Da literatura, são conhecidas as técnicas de modulação PWM, Modulação Delta (Histerese constante), modulação por histerese variável e modulação por histerese variável do tipo “Bang-Bang”, as quais serão analisadas para provável aplicação na topologia proposta, com a finalidade de atendimento à norma IEC61000-3-2 [31, 32 e 33].

Toda a metodologia será desenvolvida levando em consideração o modo de condução contínuo e o “ripple” máximo limite da corrente através do indutor de entrada (L_l), assim como o “ripple” máximo limite nas tensões sobre C_l e C_o .

Neste contexto, serão apresentadas na seqüência algumas considerações para as técnicas de modulação citadas, com o objetivo de se ter a mínima DHTI para a corrente de entrada e elevado fator de potência para a estrutura proposta. Mais precisamente, serão discutidas as técnicas: modulação PWM com frequência constante, Modulação Delta,

modulação por Histerese Variável e a Modulação por Histerese Variável do tipo “Bang-Bang”.

2.4.1 – Modulação PWM com frequência Constante

A modulação PWM (“*Pulse Width Modulated*”) consiste em uma técnica de comando com frequência de chaveamento constante, variando-se apenas a largura dos pulsos. A potência transferida para a carga é uma função da razão cíclica estabelecida. Esta modulação tem como vantagem importante não só a frequência de operação constante, mas também a sua simplicidade de implementação. Entretanto, esta técnica, apesar de não impor uma corrente de entrada, apresenta reduzidas DHTI para a corrente de entrada, resultando em elevado fator de potência. Entretanto, não se pode manter a mesma razão cíclica para toda a variação de carga. Desta forma, para qualquer variação de carga, a técnica de controle não adapta diretamente a razão cíclica, havendo a necessidade de lógica adicional para o controle com carga variável.

A Figura 2.11 apresenta um detalhe da modulação PWM para um trecho do semi-ciclo positivo da tensão de alimentação da rede CA

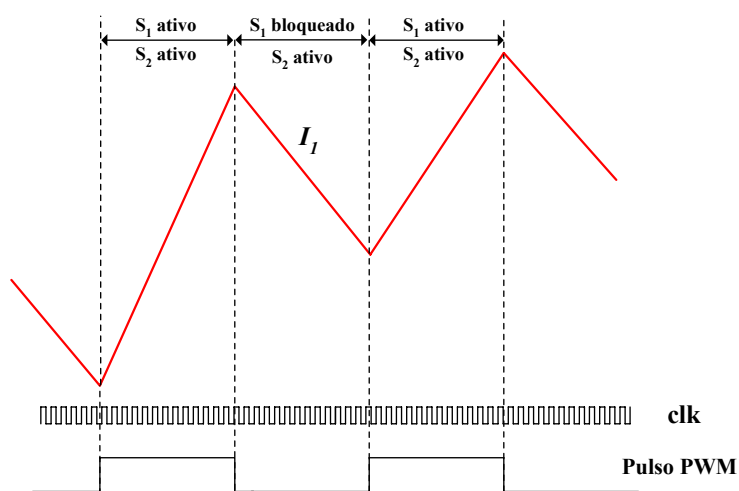


Figura 2.11 – Detalhe da modulação PWM para um trecho da tensão de alimentação no semi-ciclo positivo para a modulação PWM.

Com o objetivo de garantir que não haja curto-circuito e nem sobretensões sobre os interruptores devido às interrupções da corrente de carga, apresenta-se na Figura 2.12 uma lógica adicional para o controle dos interruptores S_1 , S_2 , S_3 e S_4 .

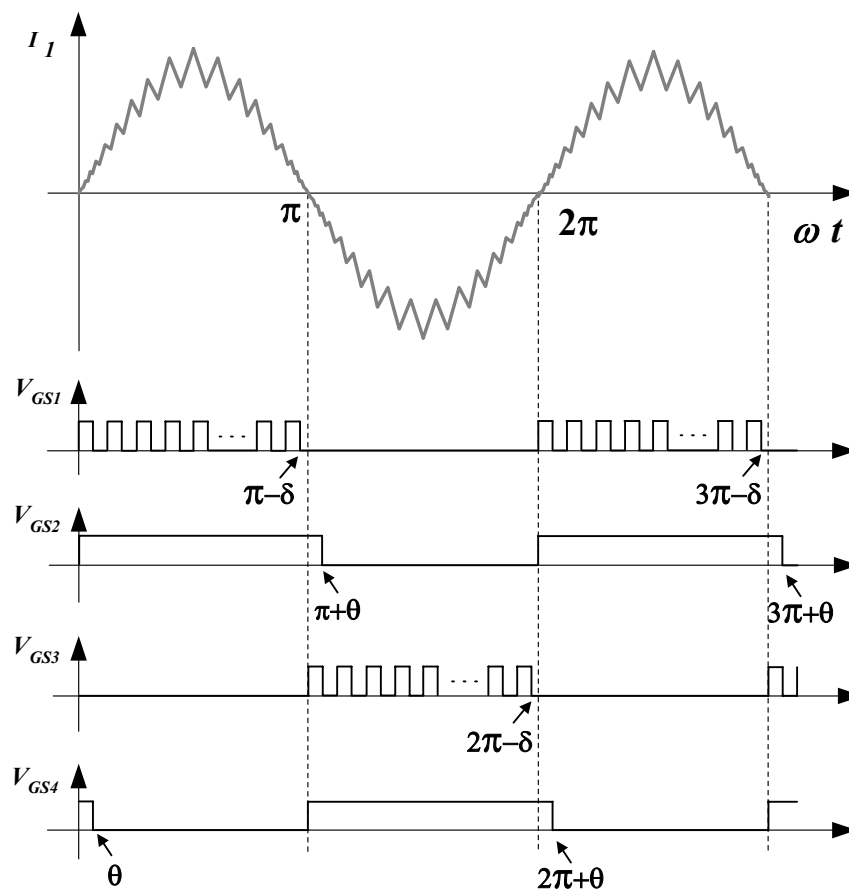


Figura 2.12 – Detalhe da lógica adicional para o controle dos quatro interruptores S_1 , S_2 , S_3 e S_4 para um ciclo da rede de alimentação para a modulação PWM.

2.4.2 – Modulação por Histerese Constante (Modulação Delta)

A técnica de controle por histerese constante, modulação Delta, consiste na imposição da forma de onda da corrente de entrada (I_I) a partir de duas referências senoidais, com a mesma frequência da rede CA de alimentação, uma referência superior (I_{sup}) e uma referência inferior (I_{inf}), conforme Figura 2.13. A referência superior será proporcional à senoide de alimentação mais um ΔV , enquanto que a referência inferior será proporcional à senoide de alimentação menos ΔV , de tal forma que não seja permitido um nível CC para a corrente de entrada, durante o período da rede em CA.

O funcionamento é da seguinte forma: a corrente de entrada evolui de tal forma que não possa ultrapassar os limites superior e inferior, assim, ela fica contida dentro destes limites. O controle é baseado na ativação e desativação dos interruptores enquanto a corrente estiver dentro dos limites preestabelecidos, ou seja, entre I_{sup} e I_{inf} . Se a corrente estiver com derivada positiva (crescente) e atingir o seu limite superior o controle deverá

desabilitar o interruptor que propicia este crescimento da corrente e imediatamente habilitar o interruptor complementar, de tal forma que a corrente passe a ter derivada negativa (decrecente), até que seja atingido o limite inferior quando o mesmo será desabilitado. Assim, o ciclo se repete durante todo o período da rede de alimentação. Desta forma, a corrente de entrada fica contida entre estas duas referências senoidais, de tal forma que o seu “ripple” ΔI será sempre constante.

A Figura 2.13 mostra este comportamento para um ciclo das referências senoidais.

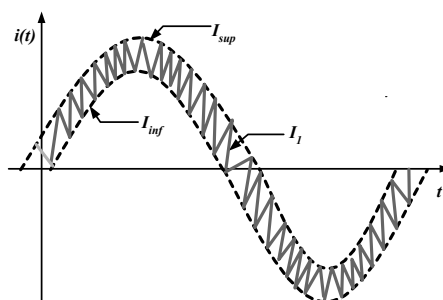


Figura 2.13 – Detalhe da modulação por histerese constante (Modulação Delta).

A modulação Delta tem como principal vantagem a reduzida TDHI e elevado fator de potência. Entretanto, apresenta a desvantagem de propiciar uma frequência de chaveamento variável, fazendo com que os elementos armazenadores de energia sejam dimensionados para a menor frequência. Esta frequência mínima de chaveamento normalmente não deve assumir valores inferior a 20 kHz, afim de que se evitem ruídos na faixa do espectro de frequências audíveis. A equação (2.40) permite o cálculo da indutância de entrada e mostra também a necessidade de uma tensão mínima de controle V_{ic} , para impedir que a mínima frequência de chaveamento atinja valores inadequados, assim como, para eliminar oscilações indesejáveis durante o cruzamento por zero das referências, com conseqüente perda do controle. Isto limita a operação do controle por um intervalo de tempo, ou seja, aparecerá um tempo morto para a corrente de entrada, além de aumentar o deslocamento e a distorção harmônica da corrente de entrada.

$$L_{1min} = \frac{V_{ic} \cdot D_{min}}{\Delta I_1 \cdot f_{smin}} \quad (2.40)$$

Onde:

L_{1min} = mínima indutância de entrada

V_{ic} = tensão de início do controle (início efetivo do controle dos interruptores)

D_{min} = razão cíclica eficaz mínima

ΔI_1 = “ripple” máximo para a corrente de entrada

f_{smin} = mínima frequência de chaveamento

Para este tipo de controle tem-se ainda a necessidade da imposição de um valor máximo para a frequência de chaveamento, uma vez adotada uma frequência de chaveamento mínima (ou L_{1min}). Isto pode constituir um problema razoável, pois o circuito de controle poderá não oferecer uma resposta adequada em frequências muito elevadas, devido aos tempos envolvidos serem reduzidos, além de possibilidades de interferências eletromagnéticas que normalmente ocorrem para frequências nesta mesma ordem de grandeza.

Uma vez calculada a indutância de entrada, é possível determinar a frequência máxima de chaveamento através da expressão (2.41). Observa-se ainda que a máxima frequência de chaveamento, admitindo-se um “*ripple*” máximo de corrente, ocorrerá no pico da tensão de entrada senoidal (V_{pico}). Uma outra desvantagem deste tipo de modulação é a necessidade de se criar duas referências, para evitar nível CC na corrente de entrada, apesar de que digitalmente é de fácil implementação, tendo em vista que basta somar ou subtrair um valor de tensão (ΔV_x) de valor equivalente a metade do “*ripple*” da corrente de entrada.

$$f_{s_{max}} = \frac{V_{pico}}{2 \cdot L_{1min} \cdot \Delta I_1} \quad (2.41)$$

Onde:

$f_{smáx}$ = máxima frequência de chaveamento

L_{1min} = indutância mínima de entrada

V_{pico} = máxima tensão de entrada

ΔI_1 = máximo *ripple* de corrente de entrada admitido

Na Figura 2.14 está representado um exemplo de simulação mostrando a variação da frequência de chaveamento para um ciclo da tensão de entrada, para uma condição de projeto, onde os parâmetros são:

$f_{smin} = 30$ kHz; $D_{min} = 0,5$; $V_{ic} = 20$ V; $\Delta I_1 = 350$ mA; $L_{1min} = L_m = 1$ mH; $C_I = 680$ nF; $C_O = 5$ uF; $V_{pico} = 179,61$ V.

Para o caso simulado, a frequência máxima de chaveamento é da ordem de 250 kHz e ocorre nos picos da tensão de alimentação. Isto limita a aplicação desta técnica tendo em vista as elevadas frequências de operação que ocorrem nos instantes de picos da

tensão de alimentação. Logicamente, esta limitação dependerá do “ripple” (ΔI_L) admitido em projeto.

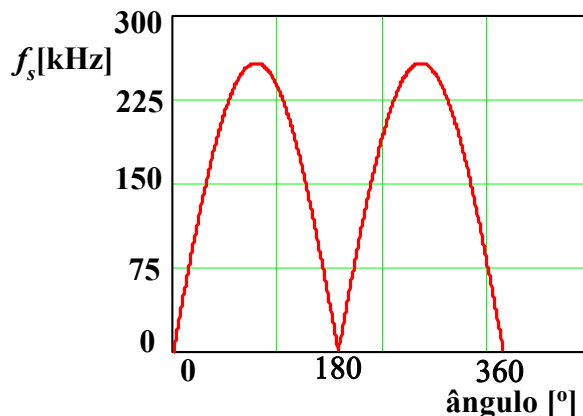


Figura 2.14 – Variação da frequência de chaveamento para o semi-ciclo positivo da tensão de entrada, considerando-se modulação Delta.

A implementação prática desta modulação também há a necessidade da lógica adicional apresentada na Figura 2.12.

2.4.3 – Modulação por Histerese Variável

A técnica de controle por histerese variável é similar à modulação Delta. Esta técnica baseia-se na imposição de duas referências senoidais, uma referência superior (I_{sup}) e outra referência inferior (I_{inf}), com amplitudes diferentes e com a frequência igual à frequência da rede CA de alimentação. Neste caso, não há a necessidade de se implementar duas referências distintas, pois ambas as referências são simplesmente proporcionais à própria tensão de alimentação. As referências poderão ser obtidas da seguinte forma: uma delas, por exemplo, pode ser obtida a partir da tensão da rede de alimentação através de um sensor, enquanto que a segunda referência pode ser derivada desta primeira referência. Neste caso, bastaria multiplicar a primeira por uma constante k convenientemente adequada à condição de “ripple” permitido.

De forma análoga à modulação Delta, quando a corrente de entrada (I_L) atingir a referência superior, haverá o controle dos interruptores da estrutura, impondo o decréscimo da corrente de entrada, assim como, quando a corrente atingir a referência inferior, haverá o controle complementar para os interruptores. A Figura 2.15 mostra o comportamento ideal da corrente de entrada para um ciclo das referências senoidais.

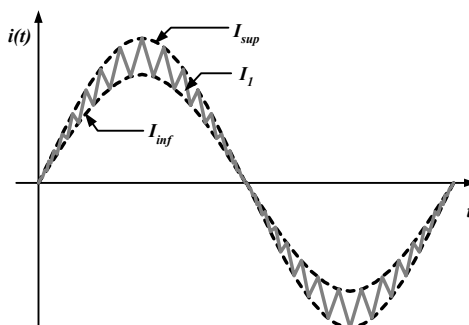


Figura 2.15 – Detalhe da modulação (controle) por histerese variável.

Apesar desta técnica apresentar vantagens no que se refere à reduzida DHTI e elevado fator de potência, ela apresenta algumas desvantagens. Uma delas se refere à operação com frequência variável e, uma outra, é a necessidade da imposição de uma tensão mínima para o funcionamento da estrutura, haja visto que para valores de tensões próximos de zero, no final de cada semi ciclo (positivo ou negativo), a frequência de chaveamento assume valores extremamente elevados. Neste caso, cuidados especiais devem ser tomados para garantir o perfeito funcionamento do circuito de controle (intervalos de tempo envolvidos, redução de interferências eletromagnéticas, além da possibilidade de perda de controle e aumento da DHTI). A Figura 2.16 apresenta um resultado de simulação, durante o semi-ciclo positivo e o semi-ciclo negativo da tensão de entrada verificando a variação da frequência e o seu elevado valor ao final de cada semi-ciclo (180° e 360°).

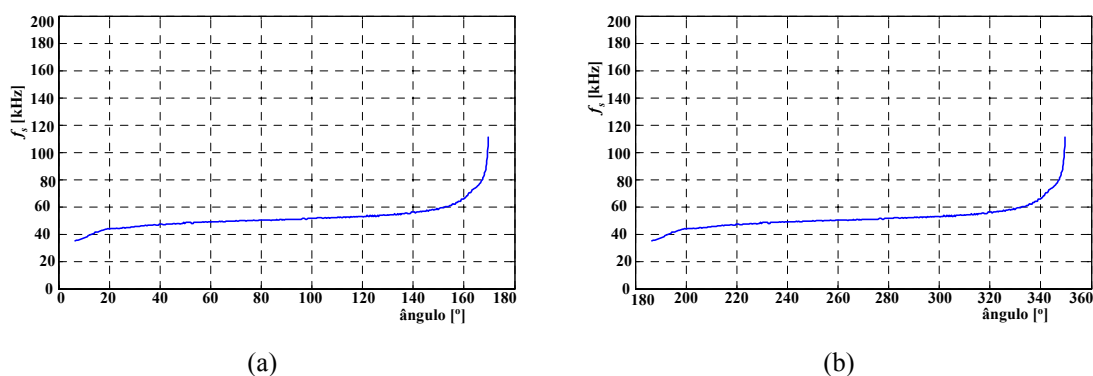


Figura 2.16 – Variação da frequência de chaveamento para o semi-ciclo positivo (a) e semi-ciclo negativo (b) da tensão de entrada, considerando-se modulação por Histerese Variável.

Vale observar ainda que, para restringir a faixa de variação da frequência, também há necessidade da aplicação de uma tensão inicial de controle (que também foi imposta na modulação Delta). Na modulação Delta, a tensão mínima era necessária para se garantir a

mínima frequência de chaveamento, enquanto que na modulação por histerese variável, a tensão mínima de operação é necessária para garantir que a máxima frequência de chaveamento não atinja valores indesejados, os quais ocorrem no final de cada semi-ciclo (positivo e negativo). Para frequências superiores a 100 kHz o circuito de controle poderá não oferecer uma resposta adequada, devido aos reduzidos intervalos de tempo envolvidos. Além disso, como observado anteriormente, para frequências elevadas poderão ocorrer problemas adicionais de interferências eletromagnéticas.

2.4.4 – Modulação por histerese variável do tipo “Bang-Bang”

A modulação por histerese variável do tipo “Bang-Bang” é controlada por ação lógica de “Flip-Flop”, ou seja, impõe-se um determinado tempo para a atuação do controle, após cruzamento de referência única de controle conforme Figura 2.15. Tem semelhança com as técnicas de modulação anteriormente apresentadas, entretanto a diferença fundamental é a eliminação da necessidade de duas referências senoidais, como na modulação Delta e modulação por histerese variável convencional. Adicionalmente, nesta técnica não é necessário que o controle esteja vinculado a uma tensão mínima de alimentação, eliminando-se ainda a necessidade de se verificar a derivada da corrente controlada.

Mais especificamente, esta técnica de modulação consiste em fazer com que a corrente de entrada siga a corrente instantânea de referência (I_{ref}) que está em fase com a tensão de entrada. Neste caso, o controle consiste apenas na identificação se a corrente de entrada é maior ou menor do que a corrente de referência, assim como se o controle encontra-se no semi-ciclo positivo ou negativo da tensão de referência. Assim, os interruptores são operados, de forma complementar, dependendo do valor instantâneo da corrente de entrada em relação à corrente de referência.

A Figura 2.17 (a) representa de forma ideal a forma de onda da corrente de entrada, enquanto que na Figura 2.17 (b) apresenta-se um detalhe do controle para um trecho da tensão de alimentação no semi-ciclo positivo para esta técnica de modulação.

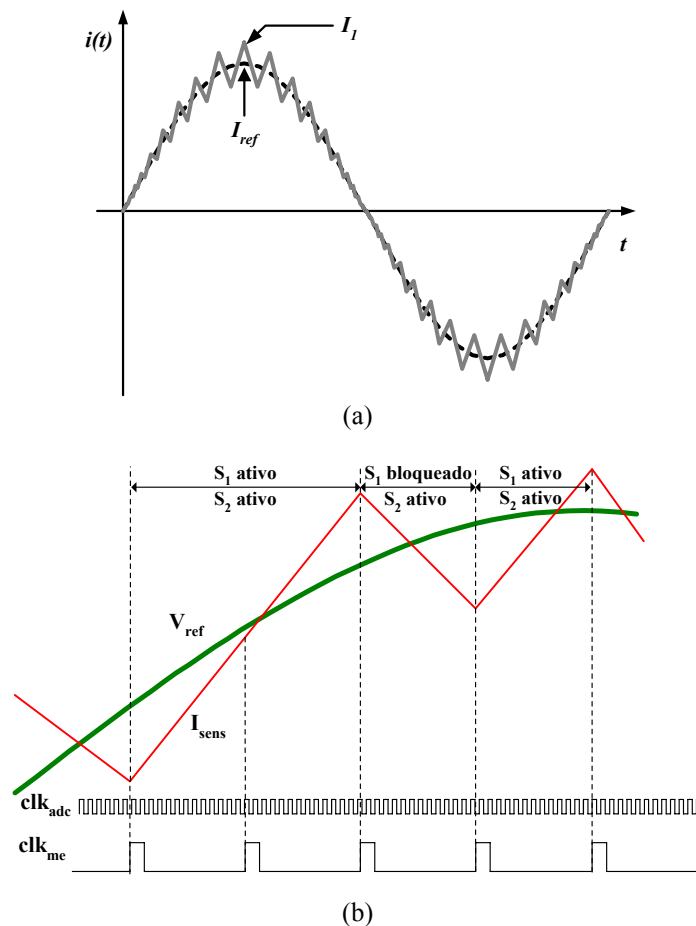


Figura 2.17 – Modulação por histerese variável do tipo “Bang-Bang”: (a) Forma ideal para a corrente de entrada; (b) Detalhe do controle para um trecho da tensão de alimentação no semi-ciclo positivo.

Para implementar esta técnica de modulação, torna-se necessário um sensor de corrente para a corrente de entrada (I_l) e a identificação do instante em que a mesma cruza a corrente de referência (I_{ref}). Esta informação, juntamente com a informação do semi-ciclo da tensão de entrada (+ ou -), será enviada para um “Flip-Flop” do tipo D, sensível à borda de subida de um “clock” (clk_{me}), de tal forma que o sinal de saída irá ativar ou desativar o interruptor desejado. A Figura 2.18 mostra um diagrama simplificado para este tipo de controle.

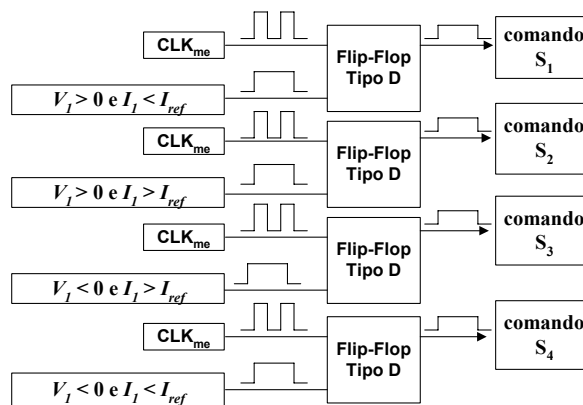


Figura 2.18 – Diagrama lógico simplificado do controle proposto.

Admitindo-se que a tensão de entrada esteja no semi-ciclo positivo e a corrente amostrada seja maior que a corrente de referência, assim que houver um evento do clk_{me} , o sinal de saída irá desativar S_1 e de forma complementar ativará S_2 . Da mesma forma, ainda no semi-ciclo positivo da tensão de alimentação, quando a corrente amostrada, que agora está decrescendo, passar a ser menor que a corrente de referência e houver um evento de clk_{me} , S_1 será ativado e S_2 será desativado, de forma complementar. Vale observar que esta técnica de controle funciona de maneira similar para o semi-ciclo negativo da tensão de alimentação. Observa-se então que a corrente de entrada é imposta, uma vez que ela é forçada a seguir a tensão de referência, conforme mostrado na Figura 2.17 (a) e Figura 2.19.

Da lógica de controle apresentada, a máxima frequência de chaveamento será imposta para ser igual à metade da frequência de clk_{me} . Admitindo-se que a corrente amostrada esteja aumentando, a mínima frequência de chaveamento acontecerá quando houver um sinal do clk_{me} e a corrente amostrada ainda não tiver ultrapassado a corrente de referência, de tal forma que o interruptor que conduz esta corrente terá que esperar o próximo evento de clk_{me} para ser bloqueado. Neste caso, a frequência mínima poderá ser até 4 vezes menor que a frequência de clk_{me} . Apenas para comprovação, na Figura 2.19 apresenta-se um resultado de simulação para um clk_{me} de 200 kHz, verificando-se a variação da frequência de chaveamento de 50 kHz a 100 kHz, para o caso simulado.

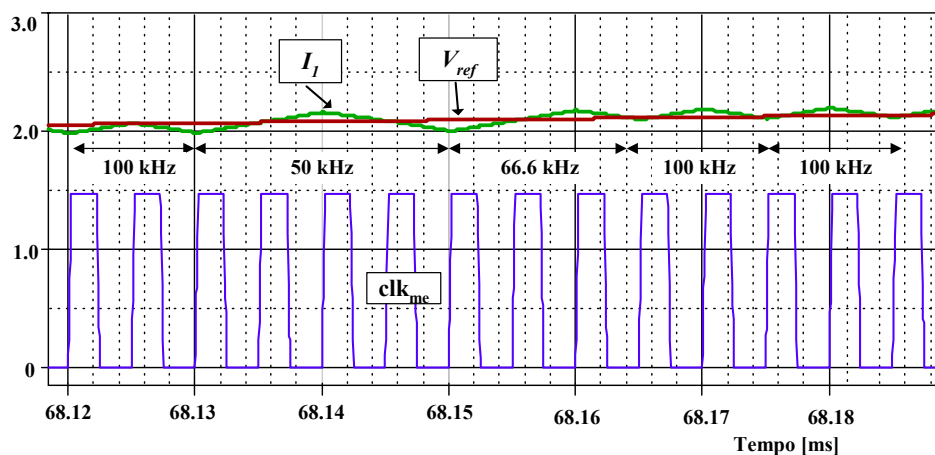


Figura 2.19 - Verificação da variação da frequência de chaveamento em função do evento de “clock” (clk_{me}) no semi-ciclo positivo.

Assim, o dimensionamento da indutância de entrada (L_I) levará em consideração a mínima frequência de chaveamento. Isto é uma desvantagem para esta modulação, pois a indutância de entrada será tanto maior, quanto menor for a frequência de chaveamento, conforme pode ser observado através da equação (2.40). Desta forma, recomenda-se que esta frequência mínima de chaveamento não assuma valores inferiores a 20 kHz, de tal forma a se evitar ruídos na faixa do espectro de frequências audíveis e impor um volume adequado para a estrutura.

Adicionalmente, como comentado, esta técnica apresenta mais uma vantagem em relação ao controle por histerese variável convencional, uma vez que o controle pode atuar ao longo de todo o período da rede de alimentação (evitando-se tempo morto), o que não seria possível também na modulação Delta, além da eliminação de uma das referências de controle. Entretanto, da mesma forma que para as modulações anteriores, a lógica adicional apresentada na Figura 2.12 deverá ser considerada.

Desta forma, esta técnica poderá ser adotada para o controle do conversor CA/CA proposto, uma vez que propicia reduzida DHTI e elevado fator de potência para a estrutura, além de propiciar um controle bastante simples.

Para que se tenha a regulação da tensão de saída o controle deverá prever uma malha fechada de tensão de tal forma que a referência de corrente seja proporcional às variações da carga e da tensão de alimentação, garantindo-se o valor eficaz da tensão de saída em 127 V em regime permanente.

Assim, o cálculo do valor eficaz (rms) da tensão de saída é feito acumulando-se em um registrador (memória) as áreas parciais sob a curva que representa a forma de onda da

tensão de saída, ao quadrado, durante cada semi-ciclo, e, posteriormente dividindo-se esta área pela metade do período (8,33 ms) e extraindo a raiz quadrada, de forma similar à definição convencional de valor eficaz conforme equação 2.42. Desta forma o valor eficaz será calculado no final de cada semi-ciclo, de tal forma a acelerar o processo de regulação.

$$V_o(t) = \sqrt{\frac{1}{\frac{T}{2}} \int_0^{\frac{T}{2}} v_o(t)^2 dt} \quad (2.42)$$

Onde:

T = período da função $v_o(t)$

$v_o(t)$ = tensão instantânea de saída

De posse do valor eficaz da tensão de saída, é possível calcular o ganho K do compensador necessário para adequar a referência para o caso de uma variação de carga. O ganho K é calculado pela expressão 2.43 e assume valores menores do que 1 para toda situação em que ocorra um decréscimo na carga (acréscimo na tensão de saída) e, valores maiores do que 1, para o caso de aumento de carga (decréscimo na tensão de saída). Se a carga for nominal ($V_o = 127$ V) o valor de K será 1 (unitário).

$$K = b + a.x \quad (2.43)$$

Onde:

x = valor eficaz da tensão de saída $v_o(t)$

Os coeficientes a e b deverão ser ajustados de tal forma a permitir a ação do controle com uma rápida resposta. A Figura 2.20 mostra esta curva do compensador proporcional proposto, de forma genérica.

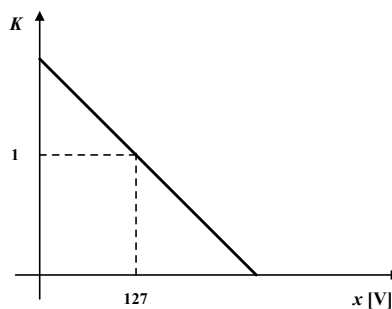


Figura 2.20 – Controlador proporcional proposto.

Assim, a estratégia geral do controle será da seguinte forma: quando o conversor for energizado, a tensão de referência será aquela derivada da rede de alimentação adequada para a alimentação de carga nominal, admitindo-se que a tensão de entrada seja

também nominal. No final do semi-ciclo, onde se terá o valor da tensão eficaz de saída, calcula-se o ganho K , (necessário para a correção da corrente de referência) que irá multiplicar a corrente de referência de tal forma a compensar a redução ou a elevação da tensão de saída. Vale salientar que a corrente de referência (atual) estará sempre multiplicada pelo ganho K , obtido ao final de cada semi-ciclo.

O diagrama de blocos simplificado para esta estratégia de controle está representado na Figura 2.21.

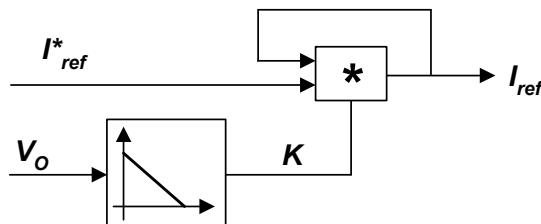


Figura 2.21 – Diagrama de blocos simplificado do controle proposto.

A seguir, no item 2.5, será apresentada uma metodologia de projeto para determinação dos parâmetros do circuito.

2.5 – Metodologia de Projeto

2.5.1 – Determinação dos parâmetros do circuito

Nos itens seguintes são apresentados os procedimentos adotados para o cálculo dos parâmetros do conversor proposto.

2.5.1.1 - Cálculo da indutância de entrada L_1 e da indutância de magnetização L_m

A equação 2.44 permite o cálculo da indutância para o indutor de entrada L_1 .

$$L_1 = \frac{V_{pico} \cdot D_{min}}{\Delta I_1 \cdot f_{smin}} \quad (2.44)$$

Onde:

L_1 = mínima indutância de entrada

V_{pico} = máxima tensão de entrada

D_{min} = razão cíclica eficaz mínima

ΔI_1 = “ripple” máximo para a corrente de entrada (I_1)

f_{smin} = mínima frequência de chaveamento

Para o conversor Sepic na conversão CC/CC, normalmente se utiliza o valor da indutância L_m igual ao valor da indutância L_1 , de tal forma que o “ripple” de corrente neste elemento seja o mesmo daquele observado na corrente através de L_1 . Entretanto, tanto na conversão CC/CC, quanto na conversão CA/CA, o indutor L_m pode assumir valores menores do que L_1 , desde que seja observada a condição de “ripple” máximo na corrente através do mesmo. Desta forma, será admitido para o indutor de magnetização (L_m) o mesmo valor da indutância do indutor de entrada (L_1).

2.5.1.2 - Cálculo da capacitância C_1

O dimensionamento do capacitor C_1 não requer um grande compromisso sobre o “ripple” de tensão sobre ele, de tal forma que o seu valor não resultará elevado. Entretanto, o seu valor influencia fortemente no fator de potência de entrada da estrutura, uma vez que o mesmo poderá deslocar excessivamente a corrente de entrada.

Entretanto, se o seu valor for muito reduzido, poderá exigir capacitores que suportem elevados valores de pico e eficaz de tensão. Assim, compatibilizar um “ripple” máximo é um compromisso de projeto, com a condição de não impor demasiada distorção e oscilações de baixas frequências na corrente de entrada.

Considerando-se as condições de especificação para C_1 , no que se refere ao “ripple” de tensão sobre o mesmo, tem-se:

$$C_1 = \frac{\Delta Q_{C1}}{\Delta V_{C1}} \quad (2.45)$$

Onde:

ΔV_{C1} = “ripple” de tensão especificada para C_1

$$\Delta Q_{C1} = \frac{V_1 \cdot D^2 \cdot T}{R_O \cdot (1 - D)}$$

Onde:

V_1 = Tensão eficaz de entrada

R_O = Resistência de carga

Logo,

$$C_1 \geq \frac{D}{R_o \cdot f_{min} \cdot \frac{\Delta V_{C_1}}{V_o}} \quad (2.46)$$

Por outro lado, considerando-se as indutâncias L_l e L_m acopladas e de igual magnitude, tem-se ainda que:

$$C_1 \geq \frac{1}{L_{eq} \cdot (2 \cdot \pi \cdot f_{min})^2} \quad (2.47)$$

Onde:

$$L_{eq} = \frac{L_l \cdot L_m}{L_l + L_m}$$

Ainda, considerando-se que C_l influencia diretamente na DHTI da corrente de entrada, deve-se impor a restrição dada pela inequação (2.48) para especificação do mesmo.

$$C_1 \ll \frac{1}{L_{eq} \cdot (2 \cdot \pi \cdot f_{rede})^2} \quad (2.48)$$

Portanto, uma análise entre o “*ripple*” máximo desejado sobre C_l a uma DHTT aceitável, serão critérios adotados para a especificação de C_l , para o pleno atendimento da IEC 61000-3-2.

2.5.1.3 - Cálculo da capacitância C_o

Para o cálculo do capacitor de saída C_o deve-se levar em consideração a ondulação (“*ripple*”) da tensão de saída (ΔV_o). Pelo fato do conversor estar trabalhando como regulador de tensão, o “*ripple*” de saída não poderá ser elevado. Desta forma, o capacitor de saída deverá atender a equação (2.39), de tal forma que não exija elevados valores de corrente eficaz através do mesmo, e, atenda as restrições em projeto para o “*ripple*” ΔV_o .

A expressão (2.49) permite calcular o valor da capacitância mínima de saída C_o levando-se em consideração o “*ripple*” máximo admitido para a tensão de saída, ou seja, 3% da tensão de saída.

$$C_o \geq \frac{(1-D)^2}{0,03 \cdot f_{min}^2 \cdot q \cdot L_l} \quad (2.49)$$

2.5.2 – Resultados de simulação e análise

Neste item serão apresentados os valores dos parâmetros calculados para a estrutura proposta, bem como os resultados de simulação digital, utilizando o Pspice conforme Apêndice “A”, considerando-se carga nominal.

Sejam os seguintes dados de projeto:

P_O	= 300 W	- potência nominal
V_I	= 127 V	- tensão eficaz de entrada
V_O	= 127 V	- tensão eficaz de saída
V_{pico}	= 179,61 V	- máxima tensão de entrada
f_{min}	= 50 kHz	- mínima frequência de chaveamento
D	= 0,5	- razão cíclica eficaz
η	= 95%	- rendimento mínimo admitido
ΔI_I	= 10%	- máximo “ripple” para a corrente de entrada
ΔI_{Lm}	= 10%	- máximo “ripple” para a corrente através de L_m
ΔV_{C1}	= 30%	- máximo “ripple” admitido para o capacitor de acumulação
ΔV_O	= 3%	- máximo “ripple” admitido para a tensão de saída

Utilizando-se a metodologia apresentada no item 2.5, com as condições exigidas e os dados de projeto adotados, têm-se os seguintes resultados apresentados na Tabela 2.1.

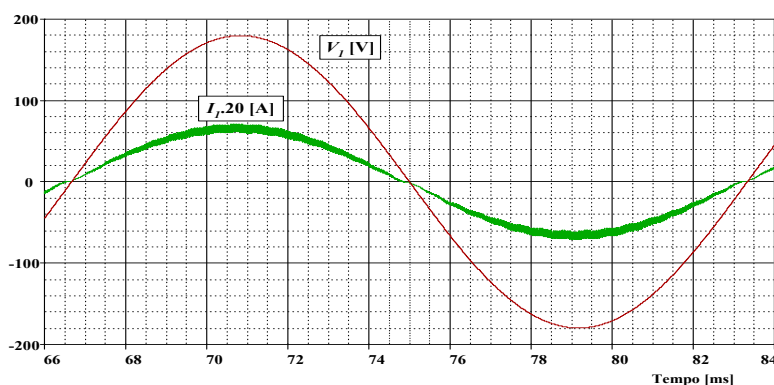
Tabela 2.1 – Dados de Projeto para o regulador CA/CA Sepic.

Parâmetros	Valor
L_I	5,1 mH
L_m	5,1 mH
C_I	680 nF
C_O	5 μ F
f_{min}	50 kHz
ΔI_I	350 mA
ΔI_{Lm}	350 mA
ΔV_{C1}	50 V
ΔV_O	5 V

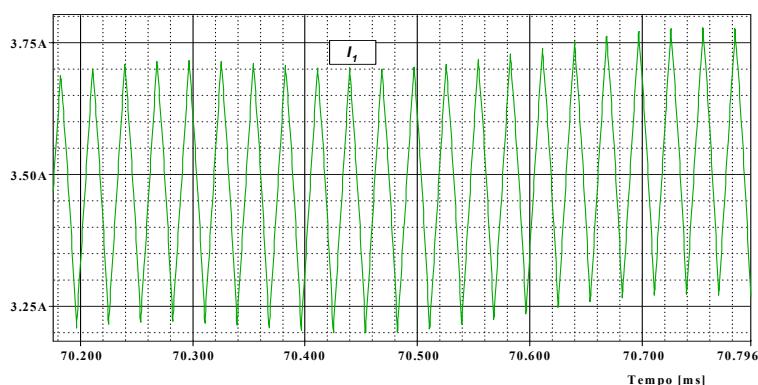
2.5.2.1 – Modulação PWM, frequência constante

Neste item serão apresentados os resultados de simulação para o conversor proposto operando com modulação PWM.

A Figura 2.22 (a) apresenta a forma de onda da tensão de entrada $v_I(t)$ e da corrente $i_I(t)$ através do indutor de entrada (L_I), durante um período da rede CA de alimentação. Observa-se que o “ripple” máximo admitido (valor de simulação igual a 352 mA) para a corrente de entrada (I_I) foi satisfeito, conforme se observa na Figura 2.22 (b). Conforme esperado, o conversor Sepic que naturalmente possui um filtro de entrada, e, aliado ao controle proposto, resulta em uma operação CA/CA com a obtenção de fator de potência elevado e com reduzida taxa de distorção harmônica. Fazendo a decomposição em série de Fourier da corrente de entrada obtém-se uma DHTI de 1,45% e, com ângulo de deslocamento reduzido ($3,58^\circ$), o fator de potência de entrada resulta praticamente unitário. Os detalhes da decomposição em série de Fourier para a corrente de entrada encontram-se no Apêndice G.



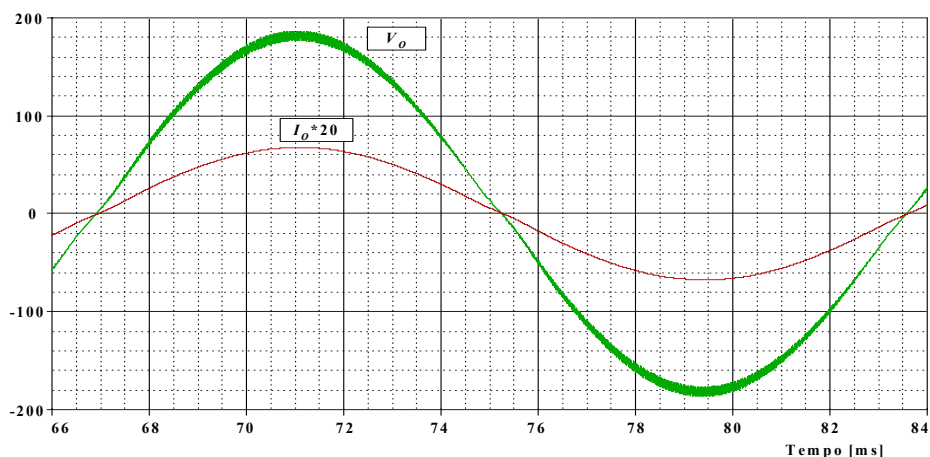
(a)



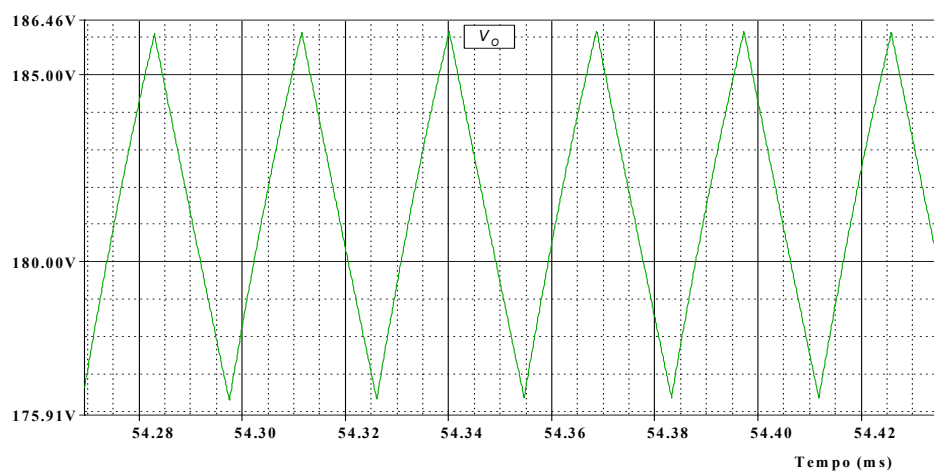
(b)

Figura 2.22 – (a) Forma de onda da tensão de entrada $v_I(t)$ e da corrente através do indutor L_I , $i_I(t)$, durante um período da rede CA de alimentação; (b) Detalhe do “ripple” máximo da corrente de entrada, $i_I(t)$, durante alguns períodos de chaveamento.

Na Figura 2.23 (a) apresenta-se as formas de onda da corrente através da carga e da tensão sobre a mesma, bem como o detalhe do “ripple” da tensão de saída, conforme Figura 2.23 (b). Conforme desejado, a ondulação máxima da tensão de saída está próxima daquele valor estipulado em projeto, ou seja, 5 V. Informa-se ainda que a taxa de distorção harmônica da tensão de saída é de 1,17% enquanto que o ângulo de fase é de $2,9^\circ$.



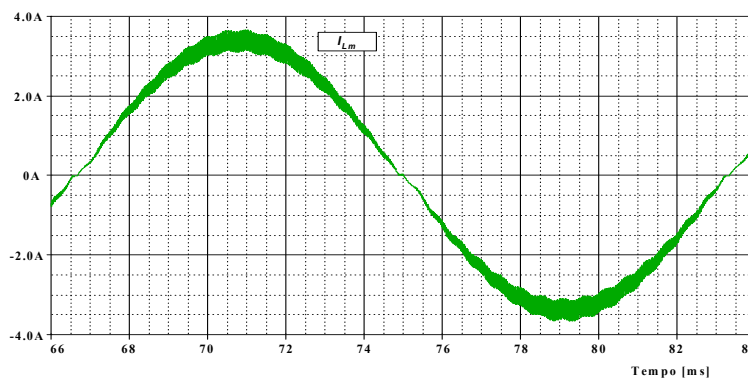
(a)



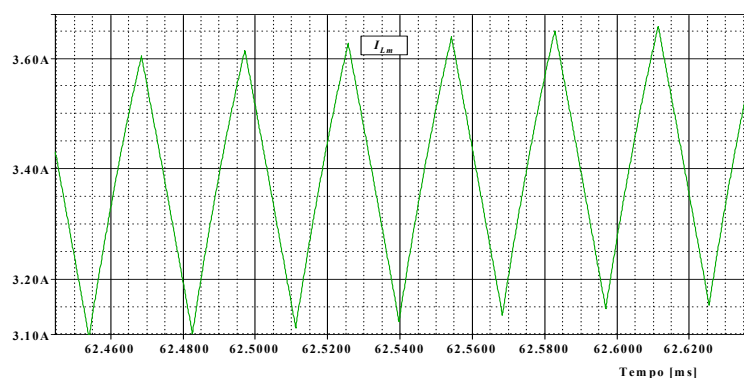
(b)

Figura 2.23 - (a) Forma de onda da tensão de saída e da corrente através da carga; (b) Detalhe do “ripple” da tensão de saída.

A Figura 2.24 (a) apresenta a corrente através do indutor de acumulação (L_m) durante um período da tensão CA de alimentação, enquanto que a Figura 2.45 (b) apresenta o detalhe do “ripple” da corrente através de L_m .



(a)



(b)

Figura 2.24 – (a) Forma de onda da corrente através do indutor de acumulação durante um período da tensão de alimentação; (b) Detalhe do “ripple” de corrente através de L_m para alguns períodos de chaveamento.

Na Figura 2.25 representa-se a potência média de saída para o conversor proposto. Como desejado e especificado para o projeto, a potência média de saída encontra-se próxima aos 300 W. Adicionalmente, na mesma figura, é mostrada a potência média de entrada P_{in} , drenada do sistema de alimentação CA. Como observado anteriormente, há uma diferença entre os valores das mesmas, resultando num rendimento inferior a 100%, mesmo para as condições idealizadas consideradas durante o processo de simulação.

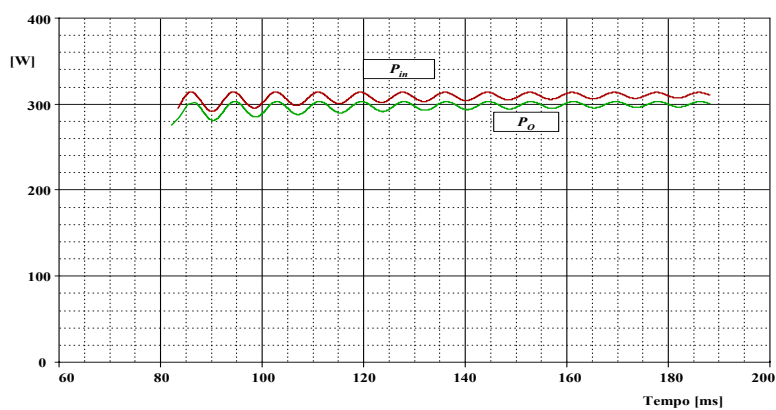
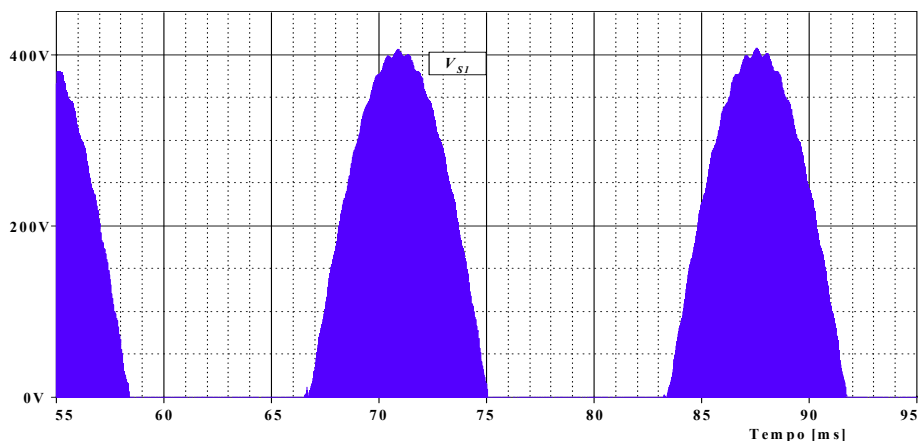
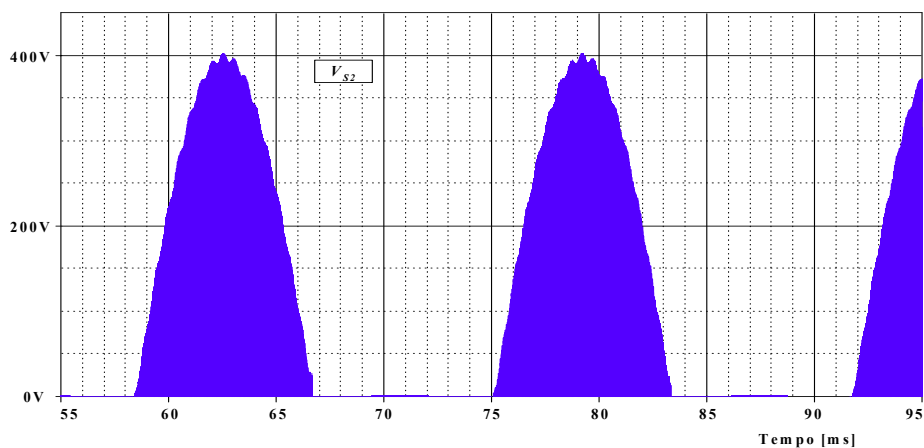


Figura 2.25 - Potência média de entrada P_{in} e potência média de saída P_o , para um capacitor C_o de 5 μF .

Na Figuras 2.26 (a) e 2.26 (b) estão representadas as formas de onda das tensões sobre S_1 e S_2 , conforme indicado. Pode-se observar que o valor máximo da tensão em qualquer um dos interruptores não ultrapassa 400 V. Analogamente, pode-se verificar que as tensões em S_3 e S_4 têm o mesmo formato e também não ultrapassam os 400 V. Deve-se salientar ainda que S_3 e S_4 operam no semi-ciclo negativo da tensão de alimentação, de forma complementar à S_1 e S_2 .



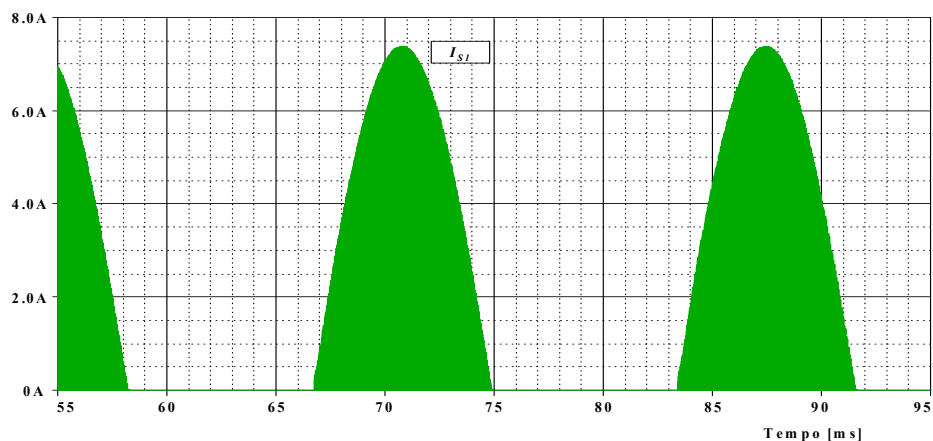
(a)



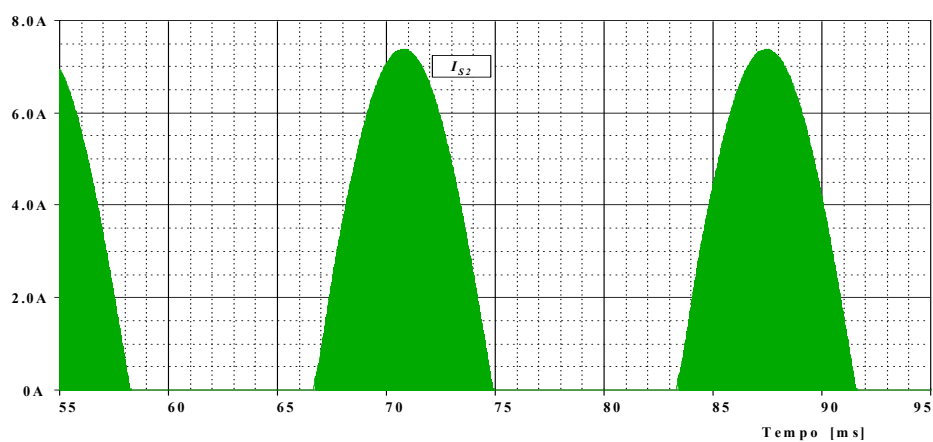
(b)

Figura 2.26 – (a) Forma de onda da tensão sobre S_1 ; (b) Forma de onda da tensão sobre S_2 .

Nas Figuras 2.27 (a) e 2.27 (b) estão representadas as formas de onda das correntes através de S_1 e S_2 , respectivamente. Vale observar que a corrente no indutor de entrada é a composição das correntes através de S_1 e S_2 . Apesar de não estarem aqui representadas, as correntes através de S_3 e S_4 se comportam da mesma maneira, entretanto, só estarão ativos estes interruptores no semi-ciclo negativo da tensão de alimentação em CA.



(a)



(b)

Figura 2.27 - (a) Forma de onda da corrente através de S_1 ; (b) Forma de onda da corrente através de S_2 .

A Figura 2.28 apresenta os detalhes das formas de onda das correntes I_{S1} e I_{S2} através de S_1 e S_2 , respectivamente, para alguns períodos de funcionamento. O valor eficaz da corrente através de S_1 e S_2 é de aproximadamente 2,5 A, enquanto que o valor médio sobre as mesmas é de 1,2 A. Informa-se adicionalmente que o valor de pico da corrente em todos interruptores não são superiores a 7,5 A. Vale observar que a corrente através do indutor de entrada é a composição das correntes através de S_1 e S_2 .

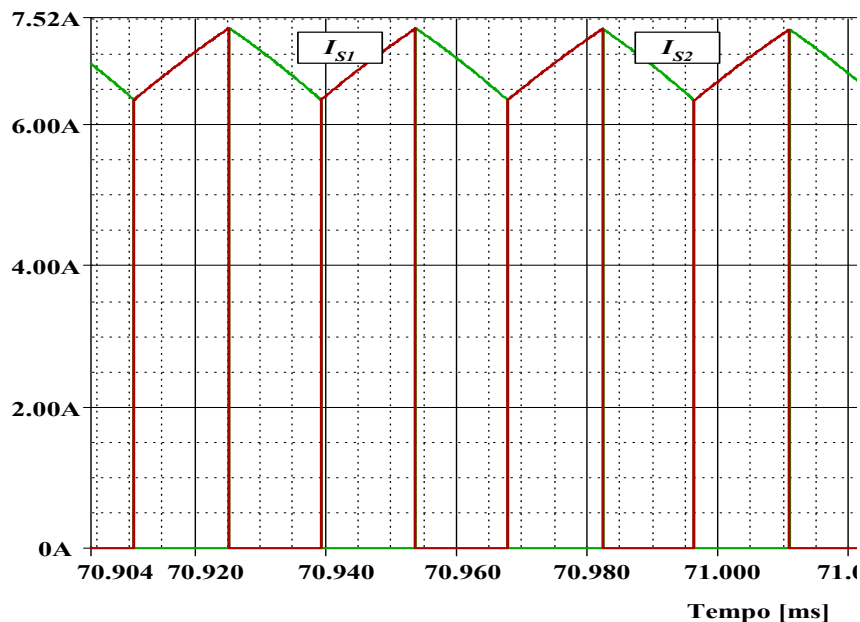


Figura 2.28 - Detalhe das formas de onda das correntes I_{S1} e I_{S2} , para alguns períodos de chaveamento.

2.5.2.2 – Modulação por Histerese Variável

Neste item serão apresentados os resultados de simulação para o conversor proposto nas mesmas condições de projeto do item 2.5.2.1.

A Figura 2.29 representa a forma de onda da tensão de entrada $v_I(t)$ e da corrente $i_I(t)$ através do indutor de entrada (L_I), durante um período da rede CA de alimentação. Dos resultados de simulação constata-se que a taxa de distorção harmônica foi de 3.46% e o ângulo de defasagem de $0,185^\circ$, o que resulta em um elevado fator de potência (0,9999).

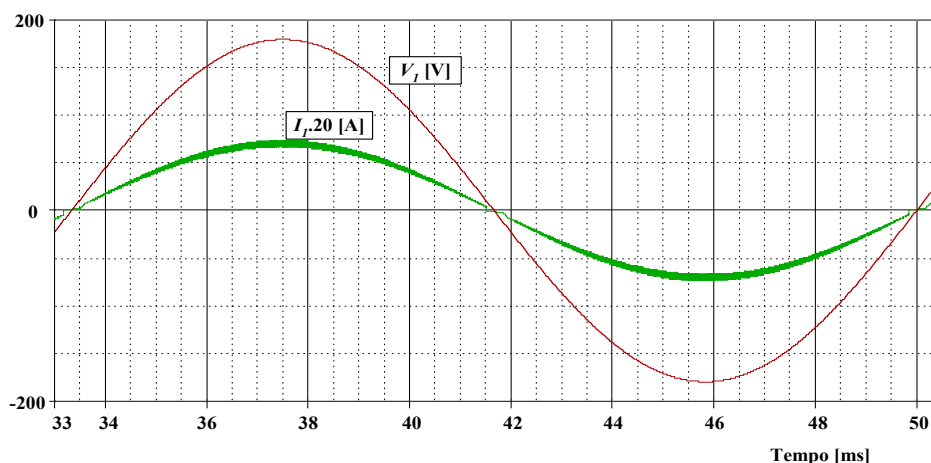
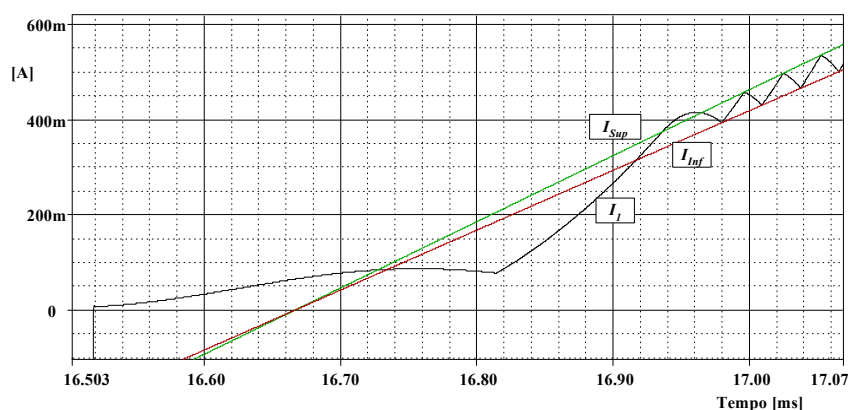
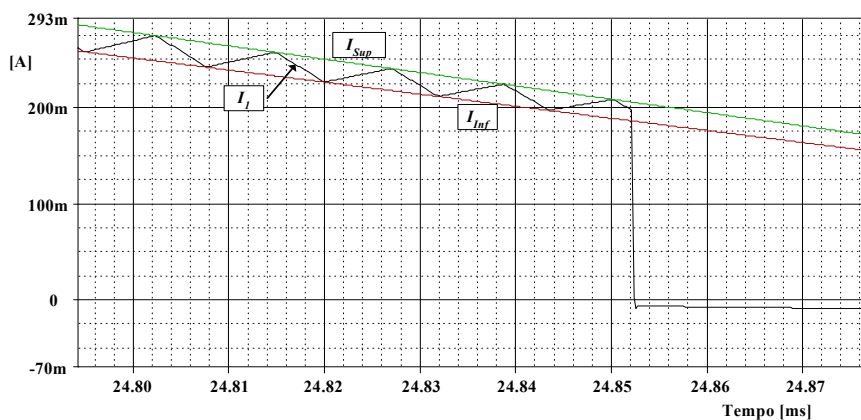


Figura 2.29 – Forma de onda da tensão de entrada $v_I(t)$ e da corrente através do indutor L_I $i_I(t)$ durante um período da rede CA de alimentação (histerese variável).

Representa-se na Figura 2.30 (a) o detalhe do instante em que o chaveamento efetivamente começa a funcionar. Ainda, da Figura 2.30 (a), pode-se observar que a frequência no início do chaveamento é de aproximadamente 30 kHz, enquanto que no final do ciclo, conforme Figura 2.30 (b), a frequência de chaveamento é de aproximadamente 90 kHz. Também foi observado através da simulação que a frequência de chaveamento no pico da corrente de entrada é de aproximadamente 50 kHz, como desejado em projeto. Observa-se ainda que, assim como na modulação Delta, a frequência de chaveamento também varia. Entretanto esta variação é menor, enquanto na modulação Delta variava de 20 kHz a 180 kHz, aqui na modulação por histerese variável (na mesma condição de projeto) a variação é de 30 kHz a 90 kHz. Isto introduz uma grande vantagem do ponto de vista do controle. Outro ponto a ser salientado é quanto ao início e término da ação de chaveamento através da tensão de controle (V_{ic}). A desvantagem de se trabalhar com tensões de controle maiores é a distorção da forma de onda da corrente de entrada no cruzamento com zero.



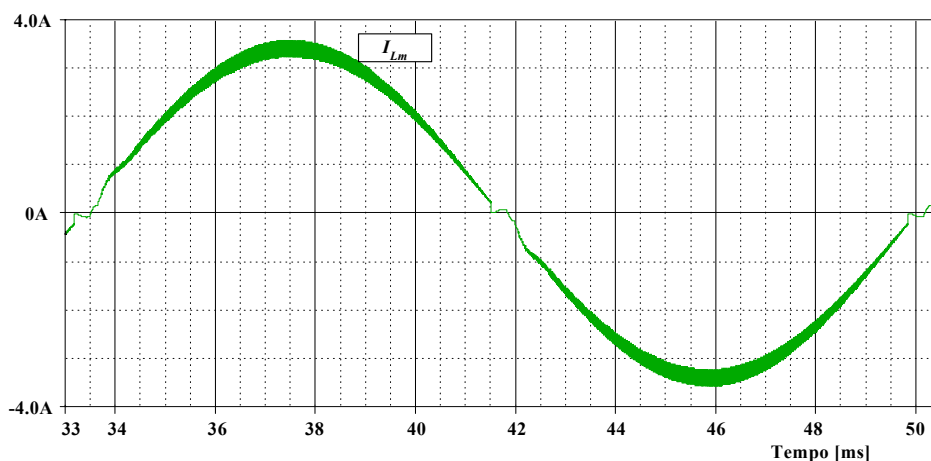
(a)



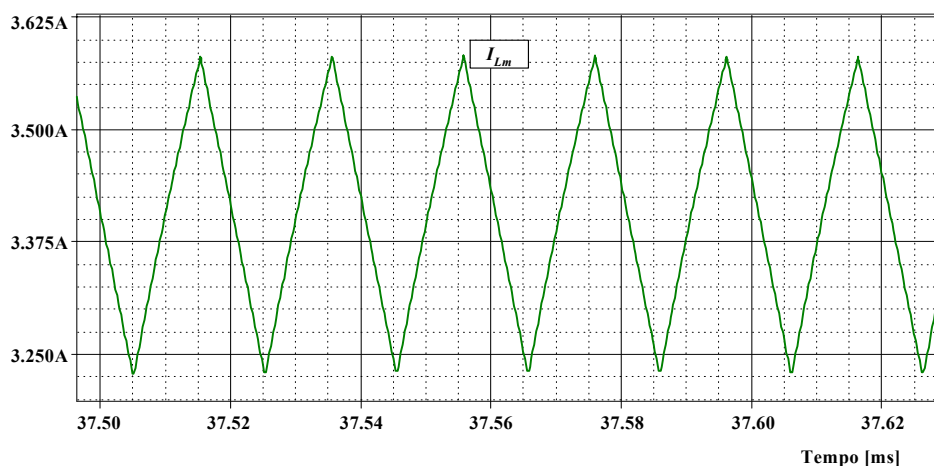
(b)

Figura 2.30 – (a) Detalhe do início do chaveamento efetivo; (b) Detalhe do chaveamento no final do ciclo.

A Figura 2.31 (a) representa a corrente através do indutor de magnetização (L_m) durante um período da tensão CA de alimentação, enquanto que a Figura 2.31 (b) representa o detalhe do “ripple” da corrente através de L_m .



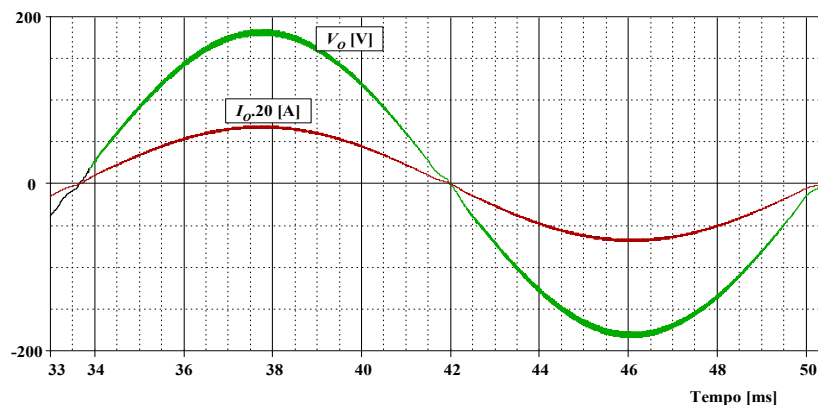
(a)



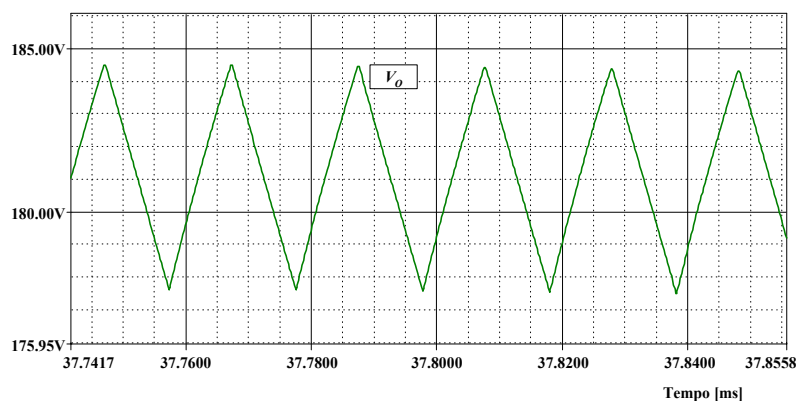
(b)

Figura 2.31 – (a) Forma de onda da corrente através do indutor de magnetização durante um período da tensão de alimentação; (b) Detalhe do “ripple” de corrente através de L_m para alguns períodos de chaveamento.

Na Figura 2.32 (a) apresenta-se as formas de onda da corrente através da carga e da tensão sobre a mesma, bem como o detalhe do “ripple” da tensão de saída conforme Figura 2.32 (b). Conforme desejado a ondulação máxima da tensão de saída está próxima daquela estipulada em projeto, ou seja, 5 V. Informa-se ainda que a taxa de distorção harmônica foi de 2,0% enquanto que o ângulo de deslocamento de $0,58^\circ$.



(a)



(b)

Figura 2.32 - (a) Forma de onda da tensão de saída e da corrente através da carga; (b) Detalhe do “ripple” da tensão de saída (histerese variável).

A Figura 2.33 representa o resultado de simulação para a potência ativa de entrada e a potência ativa de saída. Observa-se que a potência ativa de saída está em torno de 290 W, o que corresponde a um rendimento de aproximadamente 95%. Isto pode ser justificado uma vez que os elementos do circuito (interruptores, indutores e capacitores) possuem resistências séries e dissipam uma parcela de energia ativa.

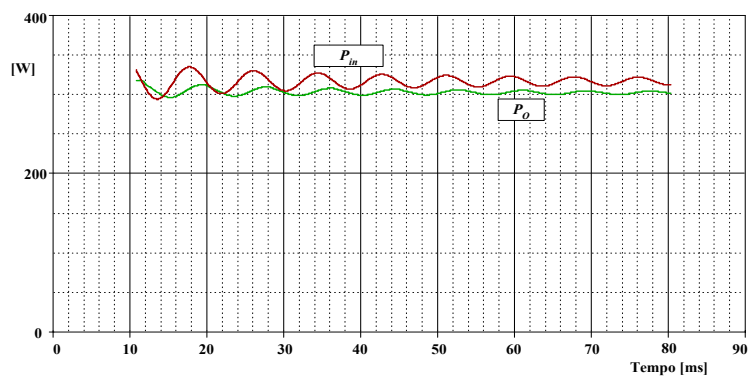


Figura 2.33 - Potência de entrada e potência de saída para o conversor proposto.

A técnica de controle adotada propicia um elevado fator de potência (próximo da unidade), tendo em vista que, a corrente de entrada é praticamente senoidal. Isto foi comprovado anteriormente para uma carga linear na Figura 2.29, e pode também ser comprovado através da utilização de uma carga não linear acoplada ao regulador proposto. Para verificar a não influência do tipo de carga na corrente de entrada, utilizou-se um retificador de onda completa monofásico com filtro capacitivo de 470 uF que, normalmente quando ligado diretamente na rede de alimentação CA, propicia fator de potência não superior a 60%.

A Figura 2.34 representa a forma de onda da tensão CA de alimentação e da corrente de entrada (I_I) onde se observa que as duas estão praticamente em fase

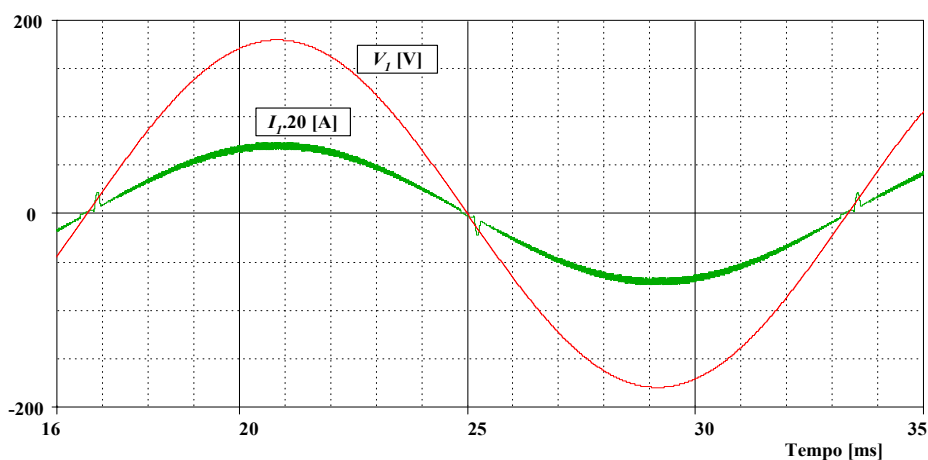


Figura 2.34 – Tensão de alimentação e corrente de entrada no conversor proposto para uma carga não linear (histerese variável).

Conforme observado anteriormente, o conversor Sepic que naturalmente possui um filtro de entrada, e, aliado ao controle por histerese variável constitui uma grande vantagem para a operação CA/CA, resultando em fator de potência elevado. Fazendo a decomposição em série de Fourier da corrente de entrada obtém-se uma DHTI de 1,97% (calculado pelo comando .FOUR do Pspice) e, como o deslocamento é praticamente nulo $0,58^\circ$ (Apêndice “F”), por imposição da modulação utilizada, o fator de potência de entrada resulta praticamente unitário. Assim, pode-se concluir que o fator de potência de entrada, para a técnica de corrente imposta, independe do fator de potência da carga, entretanto não se pode garantir a forma de onda da mesma.

Observa-se na Figura 2.35 que forma de onda da tensão de saída do conversor CA/CA, considerando acoplamento de carga não linear, deixou de ser senoidal, tendendo a

uma forma de onda quadrada, o que para cargas como fontes de microcomputadores não teriam grandes problemas, pois sua operação é em corrente contínua.

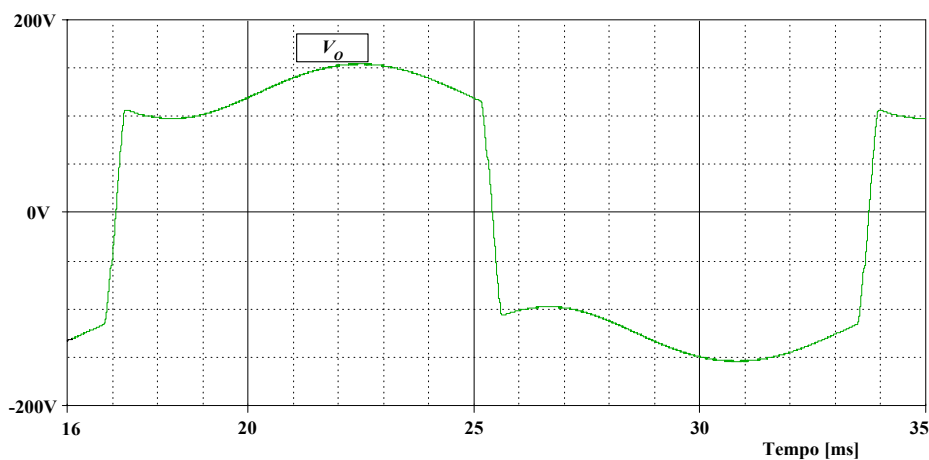
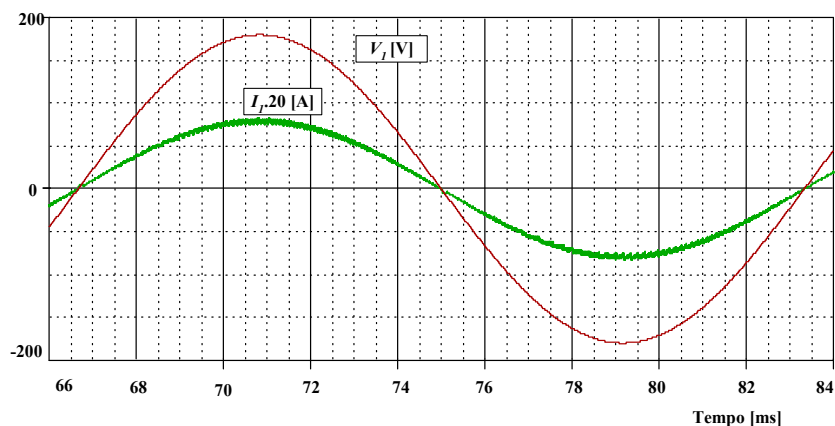


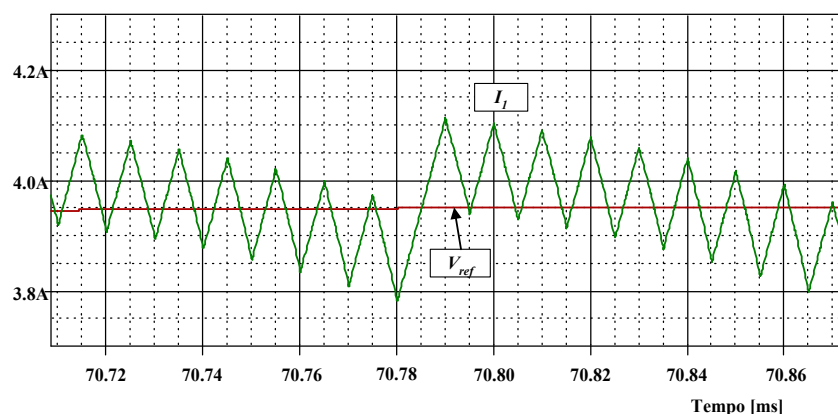
Figura 2.35 - Tensão de saída (V_o) do regulador proposto para uma carga não linear (histerese variável).

2.5.2.3 – Modulação por histerese variável do tipo “Bang-Bang”

A Figura 2.36 (a) apresenta a forma de onda da tensão de entrada $v_i(t)$ e da corrente $i_l(t)$ através do indutor de entrada (L_l), durante um período da rede de alimentação em CA. Observa-se que o “ripple” máximo admitido (valor de simulação igual a 352 mA) para a corrente de entrada $i_l(t)$ foi satisfeito, conforme se observa na Figura 2.36 (b). Conforme esperado, o conversor Sepic (que naturalmente possui um filtro de entrada), aliado ao controle proposto constitui uma grande vantagem para a operação CA/CA e obtenção de fator de potência elevado, com reduzida taxa de distorção harmônica. Fazendo a decomposição em série de Fourier da corrente de entrada, obtém-se uma DHTI de 0,166% e, como o deslocamento é praticamente nulo ($0,110^\circ$), por imposição da modulação utilizada, o fator de potência de entrada resulta unitário. Os detalhes da decomposição em série de Fourier para a corrente de entrada encontram-se no Apêndice “B”.



(a)



(b)

Figura 2.36 – (a) Forma de onda da tensão de entrada $v_I(t)$ e da corrente através do indutor L_I , $i_I(t)$, durante um período da rede CA de alimentação; (b) Detalhe do “ripple” máximo da corrente de entrada, $i_I(t)$, durante alguns períodos de chaveamento (Modulação “Bang-Bang”).

Observa-se na Figura 2.36 há uma variação abrupta da frequência de chaveamento entre os instantes de 70,78 ms e 70,80 ms, que já havia sido comentado no item 2.4.4 e detalhado nas Figuras 2.17 (b) e 2.19. Entretanto, é importante criar uma lógica adicional de tal forma a não permitir estas variações abruptas da frequência de chaveamento. Assim, esta lógica adicional deverá prever o acionamento de um dos interruptores após o cruzamento da corrente de entrada com a corrente de referência sempre que houver mais de um evento do “clock” de tomada de decisão (clk_{me}). A Figura 2.37 representa aproximadamente esta sugestão para minimização das variações abruptas da frequência de chaveamento, onde se verifica a ação da lógica adicional através do $\text{clk}_{\text{adicional}}$.

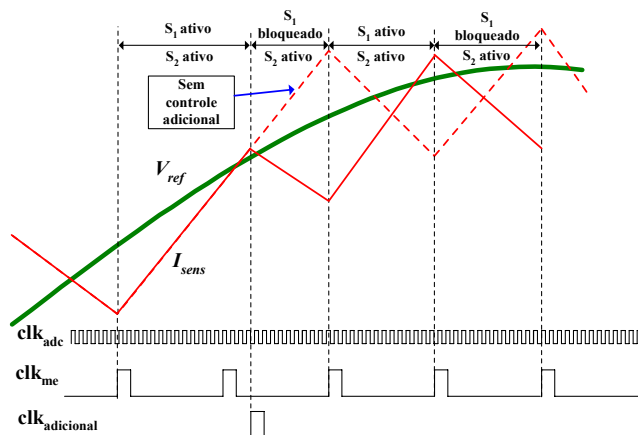
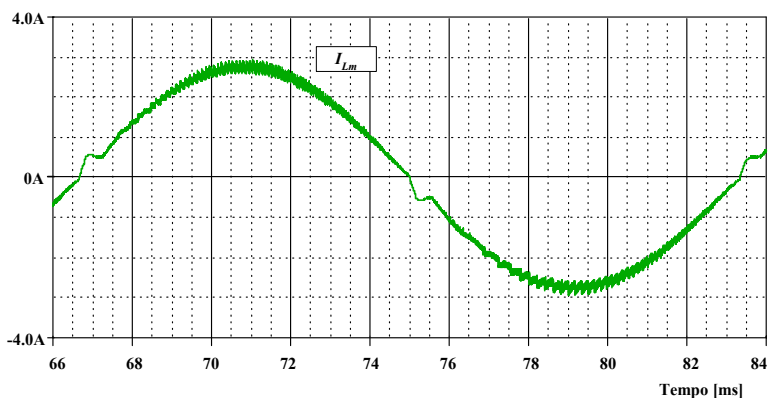
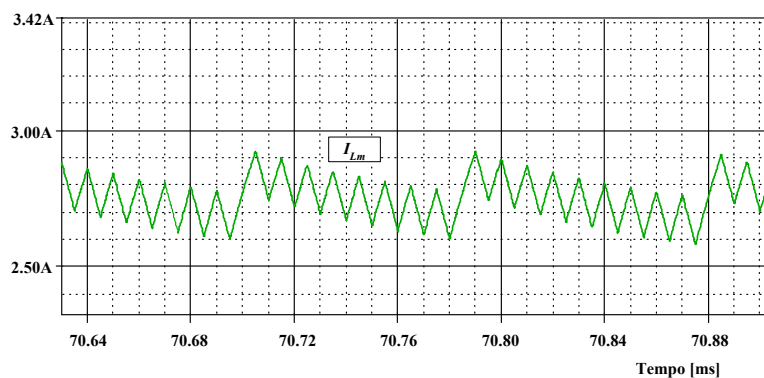


Figura 2.37 – Detalhe da lógica adicional para minimizar variações abruptas da frequência de chaveamento.

A Figura 2.38 (a) apresenta a corrente através do indutor de acumulação (L_m) durante um período da tensão de alimentação em CA, enquanto que a Figura 2.38 (b) apresenta o detalhe do “ripple” da corrente através de L_m . Conforme se pode observar, o “ripple” está em torno de 350 mA, valor este aproximadamente igual ao “ripple” da corrente de entrada $i_1(t)$, como esperado.



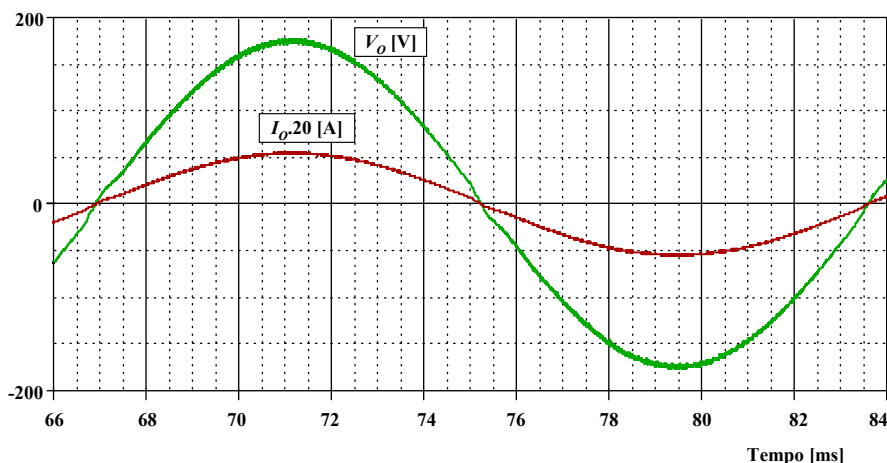
(a)



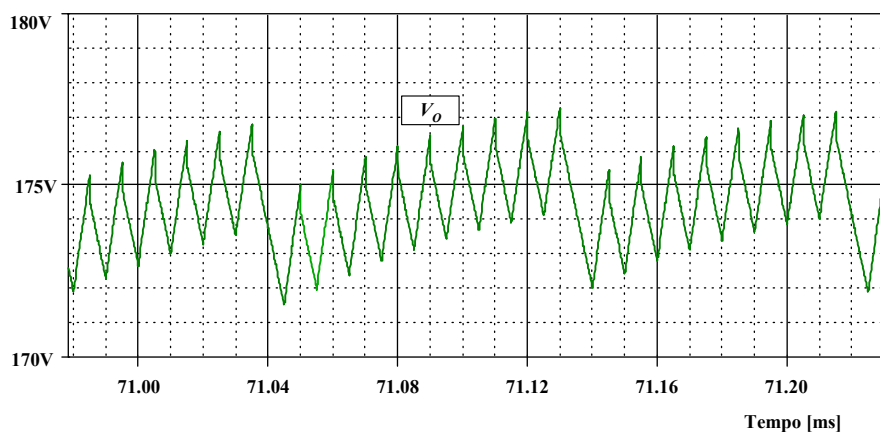
(b)

Figura 2.38 – (a) Forma de onda da corrente através do indutor de acumulação durante um período da tensão de alimentação; (b) Detalhe do “ripple” de corrente através de L_m para alguns períodos de chaveamento.

Na Figura 2.39 (a) apresenta-se as formas de onda da corrente através da carga e da tensão sobre a mesma, bem como o detalhe do “ripple” da tensão de saída, conforme Figura 2.39 (b). Conforme desejado, a ondulação máxima da tensão de saída está próxima daquele valor estipulado em projeto, ou seja, 5 V.



(a)



(b)

Figura 2.39 - (a) Forma de onda da tensão de saída e da corrente através da carga; (b) Detalhe do “ripple” da tensão de saída (Modulação “Bang-Bang”).

Fazendo-se a decomposição em série de Fourier para a tensão de saída, (Apêndice “C”), obtém-se uma TDH de 0,9% e um deslocamento de $5,87^\circ$ em relação a tensão de alimentação. Este deslocamento já era esperado uma vez que os elementos armazenadores de energia do circuito funcionam como filtro, de forma que de fato haverá um deslocamento não nulo entre a tensão de entrada e a tensão de saída.

A Figura 2.40 (a) apresenta a forma de onda de tensão no capacitor de acumulação (C_1), onde se pode observar um “ripple” elevado (50 V), porém, previsto em projeto. Por

outro lado, na Figura 2.40 (b) é apresentado o valor eficaz da tensão de entrada e o valor eficaz da tensão sobre o capacitor C_I . Observa-se ainda, que o valor eficaz da tensão sobre C_I é aproximadamente igual ao valor eficaz da tensão de alimentação, ou seja, 127 V.

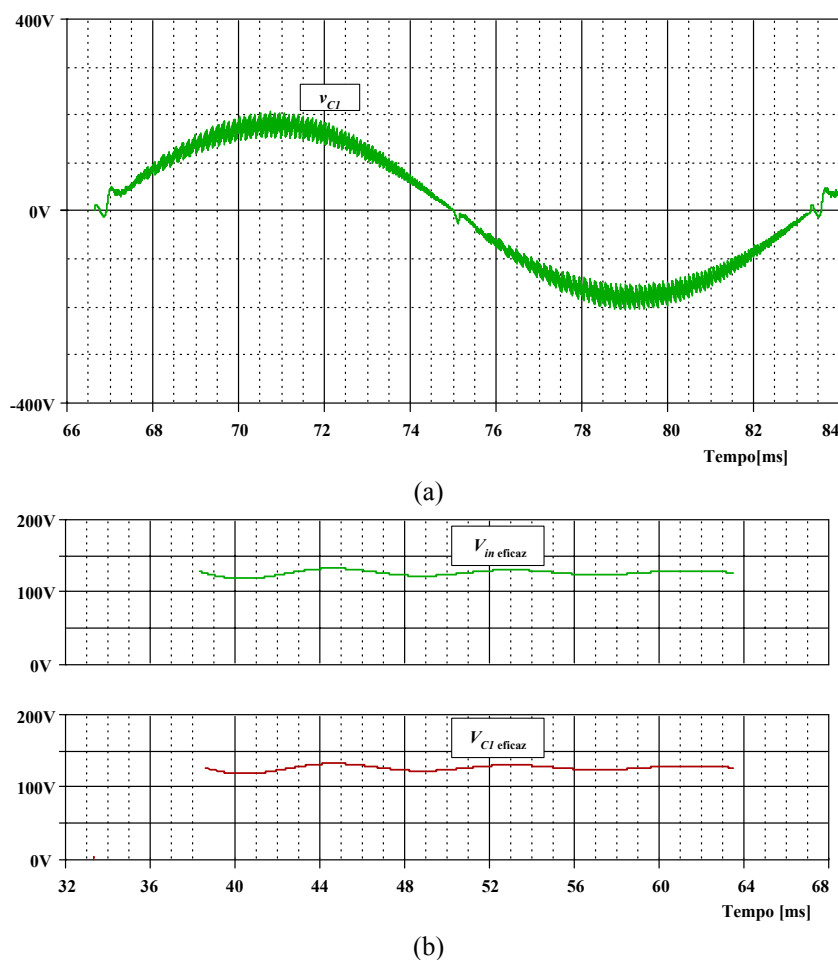


Figura 2.40 - (a) Forma de onda da tensão sobre o capacitor de acumulação; (b) Valores eficazes da tensão da rede CA de alimentação e da tensão sobre o capacitor de acumulação (C_I).

Na Figura 2.41 representa-se a potência média de saída para o conversor proposto. Como desejado e especificado para o projeto, a potência média de saída encontra-se próxima aos 300 W. Adicionalmente, na mesma figura, apresenta-se o cálculo da potência média de entrada P_{in} , drenada do sistema de alimentação em CA. Observa-se que há uma diferença entre os valores das mesmas, resultando num rendimento inferior a 100%, mesmo para as condições idealizadas consideradas durante o processo de simulação. Tal fato é justificado devido, as perdas em condução e chaveamento e devido ao fato do capacitor C_O drenar parte da energia fornecida pela fonte de alimentação, em função da saída CA do conversor. Para o cálculo da potência média de entrada P_{in} e da potência média de saída P_O , foram utilizadas as equações (2.50) e (2.51), respectivamente, onde se

consideraram nulos os deslocamentos entre tensões e correntes, tanto na entrada em CA quanto na carga, assim como desconsideraram-se as ondulações nas correntes e tensão de saída.

$$P_{in} = V_1 \cdot I_1 \quad (2.50)$$

Onde:

V_1 = Tensão eficaz de entrada

I_1 = Corrente eficaz de entrada

$$P_O = V_O \cdot I_O \quad (2.51)$$

Onde:

V_O = Tensão eficaz de saída

I_I = Corrente eficaz de saída

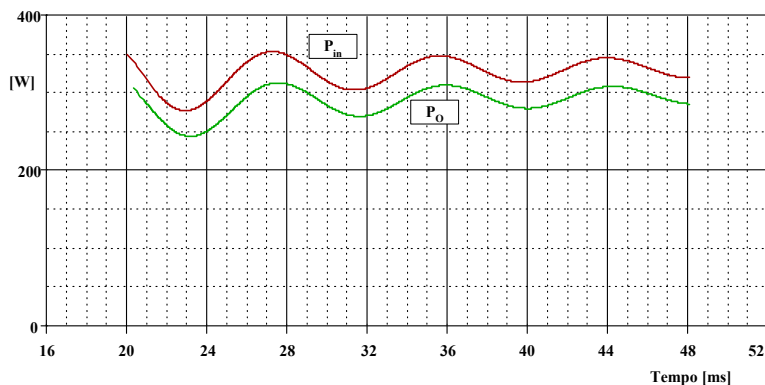
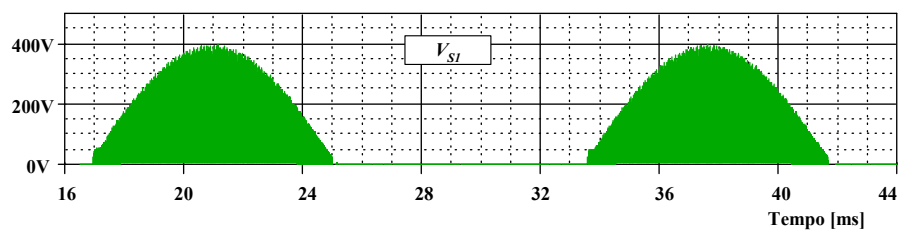
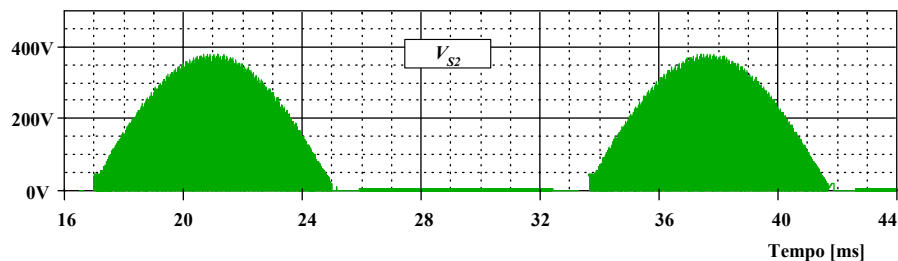


Figura 2.41 - Potência eficaz de entrada P_{in} e potência eficaz de saída P_O , para um capacitor C_O de $5\mu\text{F}$.

Na Figuras 2.42 (a) e 2.42 (b) estão representadas as formas de onda das tensões sobre S_1 e S_2 , conforme indicado. Pode-se observar que o valor máximo da tensão em qualquer um dos interruptores não ultrapassa 400 V. Analogamente, informa-se que as tensões em S_3 e S_4 têm o mesmo formato e também não ultrapassam os 400 V. Deve-se salientar ainda que S_3 e S_4 operam no semi-ciclo negativo da tensão de alimentação, de forma complementar à S_1 e S_2 .



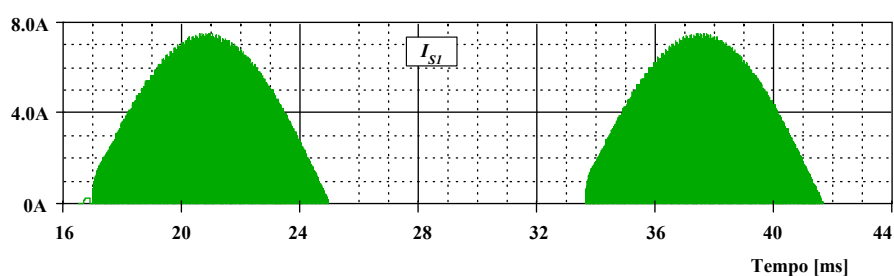
(a)



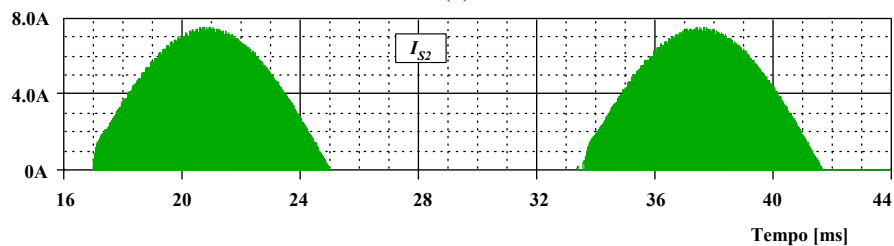
(b)

Figura 2.42 – (a) Forma de onda da tensão sobre S_1 ; (b) Forma de onda da tensão sobre S_2 .

Nas Figuras 2.43 (a) e 2.43 (b) estão representadas as formas de onda das correntes através de S_1 e S_2 , respectivamente. Vale observar que a corrente no indutor de entrada é a composição das correntes através de S_1 e S_2 . O valor eficaz para as correntes através dos interruptores S_1 e S_2 , é de aproximadamente 2,7 A, enquanto que o valor médio nos mesmos é de aproximadamente 1,3 A. Adicionalmente, informa-se que o valor de pico para as correntes através de S_1 e S_2 é de aproximadamente 7,5 A. Apesar de não estarem aqui representadas, as correntes através de S_3 e S_4 se comportam da mesma maneira, entretanto, estes interruptores só estarão ativos no semi-ciclo negativo da tensão de alimentação em CA.



(a)



(b)

Figura 2.43 - (a) Forma de onda da corrente através de S_1 ; (b) Forma de onda da corrente através de S_2 .

A Figura 2.44 apresenta os detalhes das formas de onda das correntes I_{S1} e I_{S2} através de S_1 e S_2 , respectivamente, para alguns períodos de funcionamento. Vale observar que a corrente através do indutor de entrada é a composição das correntes através de S_1 e S_2 .

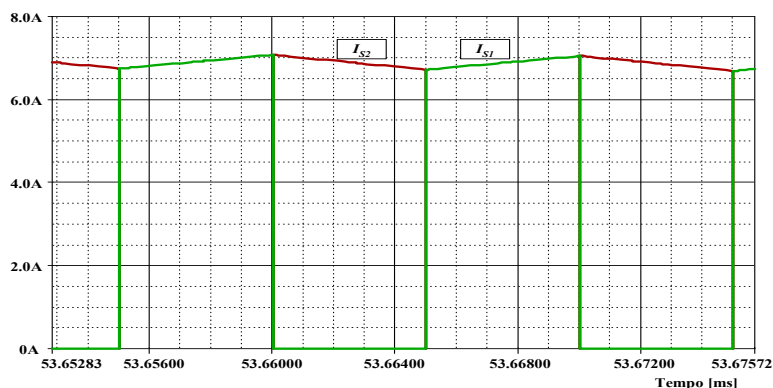
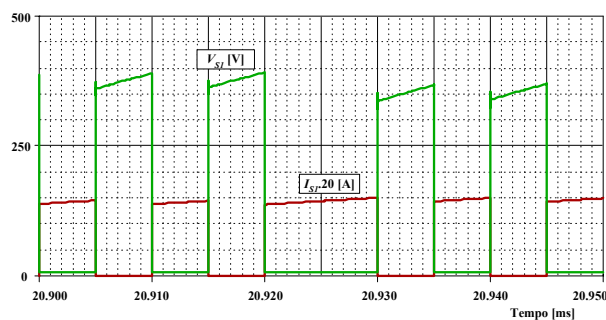
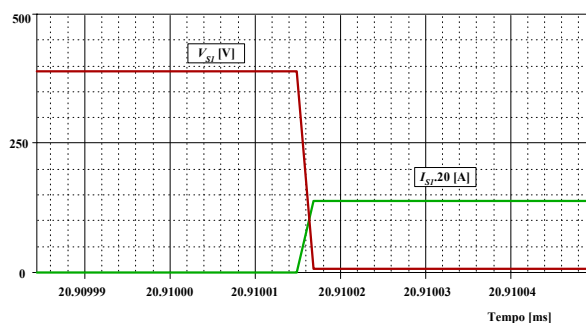


Figura 2.44 - Detalhe das formas de onda das correntes I_{S1} e I_{S2} , para alguns períodos de chaveamento.

A Figura 2.45 (a) apresenta as formas de onda da tensão sobre S_1 e a corrente através do mesmo, enquanto que na Figura 2.45 (b) está detalhada a comutação de S_1 . Vale salientar que esta comutação é do tipo dissipativa (“hard”) tanto na entrada em condução, quanto no bloqueio, ou seja, não foi empregada nenhuma técnica de comutação suave (não dissipativa).



(a)



(b)

Figura 2.45 – (a) Detalhes das formas de onda da tensão sobre S_1 e da corrente através do mesmo; (b) Detalhe da comutação de S_1 – entrada em condução.

A técnica de controle adotada propicia um elevado fator de potência (próximo da unidade), tendo em vista que a corrente de entrada é praticamente senoidal. Isto foi comprovado considerando-se uma carga linear e puramente resistiva, conforme Figura 2.22 (a). Adicionalmente, considerando-se a alimentação de carga não linear acoplada ao regulador proposto, é possível se verificar a manutenção de elevado fator de potência para a estrutura, conforme Figura 2.46. Neste caso, a carga utilizada foi um retificador de onda completa monofásico com filtro capacitivo de 47 μF . Esta estrutura de carga, quando alimentada diretamente através da rede de alimentação em CA, resulta num fator de potência não superior a 60%, uma vez que a corrente de entrada tem a forma de onda descontínua e pulsada, podendo ainda resultar em distorção da tensão do barramento de alimentação.

A Figura 2.46 apresenta a forma de onda da tensão CA de alimentação e da corrente de entrada (I_I), para o caso do conversor CA/CA proposto alimentando a carga não linear citada.

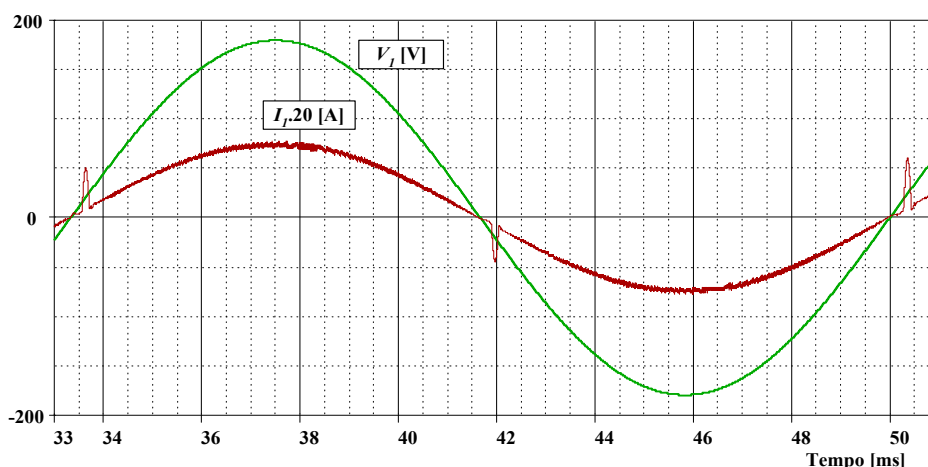


Figura 2.46 – Tensão de alimentação e corrente de entrada no conversor proposto alimentando uma carga não linear (retificador monofásico com filtro capacitivo).

Fazendo-se a decomposição em série de Fourier da corrente de entrada, como no Apêndice “D”, obtém-se uma DHTI de 4,6% com um deslocamento reduzido ($1,2^\circ$). Portanto, a modulação utilizada proporciona fator de potência de entrada praticamente unitário, mesmo para alimentação de carga não linear. Assim, pode-se concluir que o fator de potência de entrada independe do tipo da carga e do fator de potência da carga.

Observa-se na Figura 2.47 que forma de onda da tensão de saída do conversor CA/CA, na qual foi acoplada uma carga não linear, deixou de ser puramente senoidal

tendendo a uma forma de onda quadrada, o que para cargas como fontes de microcomputadores não teriam grandes problemas, pois sua operação é em corrente contínua. Esta distorção da tensão de saída era esperada uma vez que o circuito utilizado em simulação não possui uma malha fechada de regulação de tensão. Por outro lado, caso se necessite de uma tensão de saída senoidal, uma malha adicional de imposição de forma de onda da tensão de saída deverá ser prevista, de forma que, a tensão de saída seja imposta a obedecer a uma envoltória senoidal, como no caso da corrente de entrada, entretanto, exigindo-se maiores custos para implementar tal técnica.

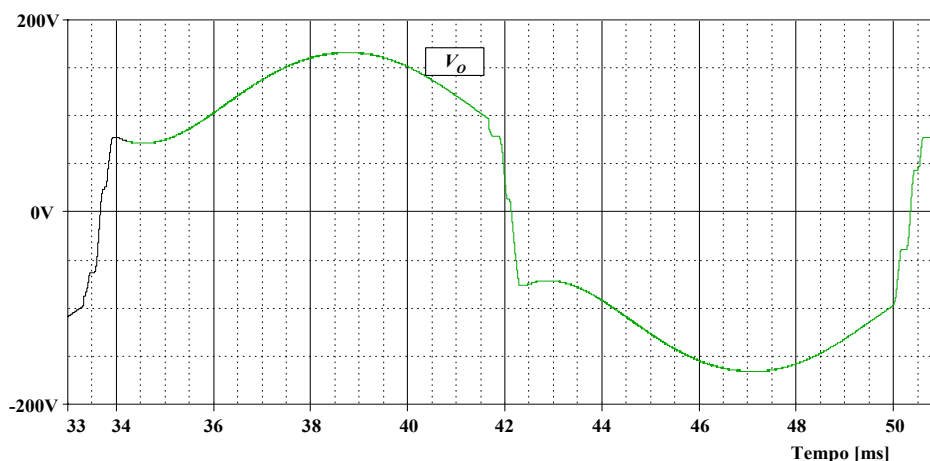


Figura 2.47 - Tensão de saída (V_o) do regulador CA proposto, para alimentação de uma carga não linear (retificador monofásico com filtro capacitivo).

Fazendo-se a decomposição em série de Fourier para a tensão de saída, conforme Apêndice “E” obtém-se uma TDH de 22,6% e um ângulo de deslocamento de $15,93^\circ$.

Todos os resultados de simulação, Figuras 2.36 até 2.47, foram obtidos considerando a operação do conversor com imposição da corrente de entrada e em malha aberta para tensão de saída. Nas Figuras 2.48 a 2.52 estão apresentados os resultados de simulação para uma carga linear com imposição da corrente de entrada e malha fechada de tensão, de tal forma a garantir o valor eficaz da tensão de saída (V_o) em torno de $127 V_{\text{eficazes}}$. A Figura 2.48 representa um pulso de controle (V_c) para variação de carga com o objetivo de verificar a ação do controle em malha fechada de tensão. Até o instante $t = 160$ ms o conversor opera com carga é nominal, enquanto que de 160 ms até 320 ms ele opera com 50% da carga. Do instante $t = 320$ ms em diante o conversor voltará a operar com carga nominal.

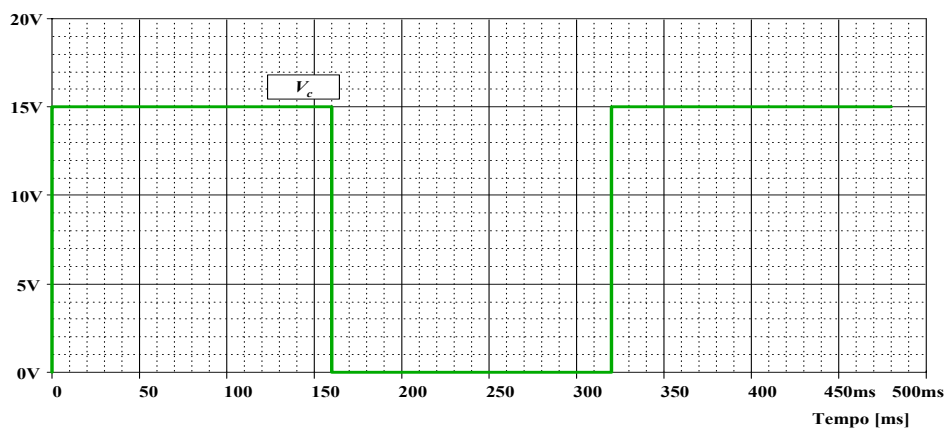
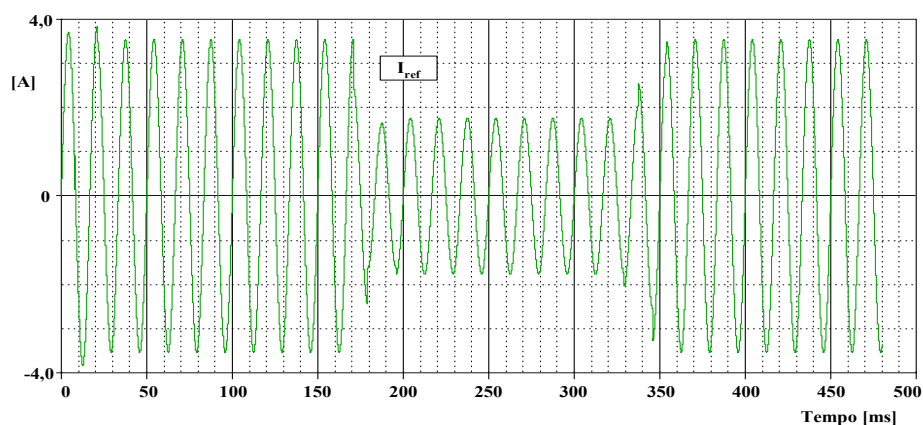
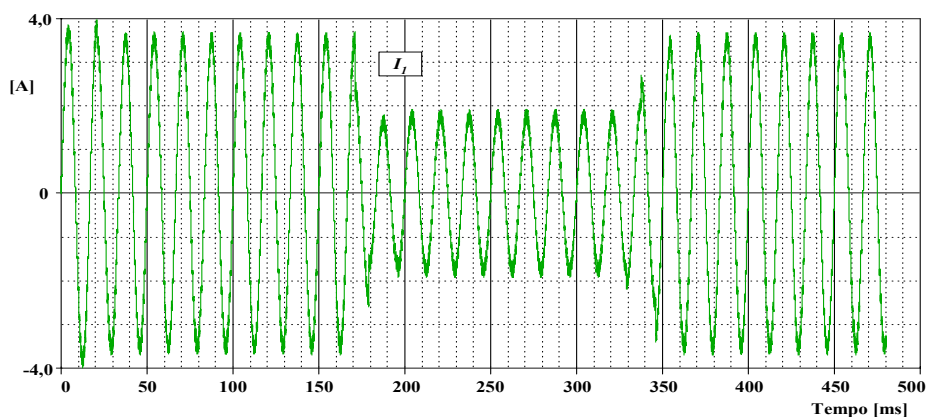


Figura 2.48 – Pulso de controle (V_c) para variação de carga.

A Figura 2.49 (a) apresenta a corrente de referência que será seguida pela corrente de entrada I_I enquanto que a Figura 2.49 (b) mostra a corrente de entrada I_I onde pode ser observado o “ripple” devido ao chaveamento.



(a)



(b)

Figura 2.49 – Formas de onda para variação de carga: (a) Corrente de referência (I_{ref}); (b) Corrente de entrada (I_I).

A Figura 2.50 apresenta a redução da corrente de referência para uma diminuição de carga de 50% e o pulso de controle para variação de carga (V_c). Desta forma, a energia enviada para a carga também será reduzida proporcionalmente.

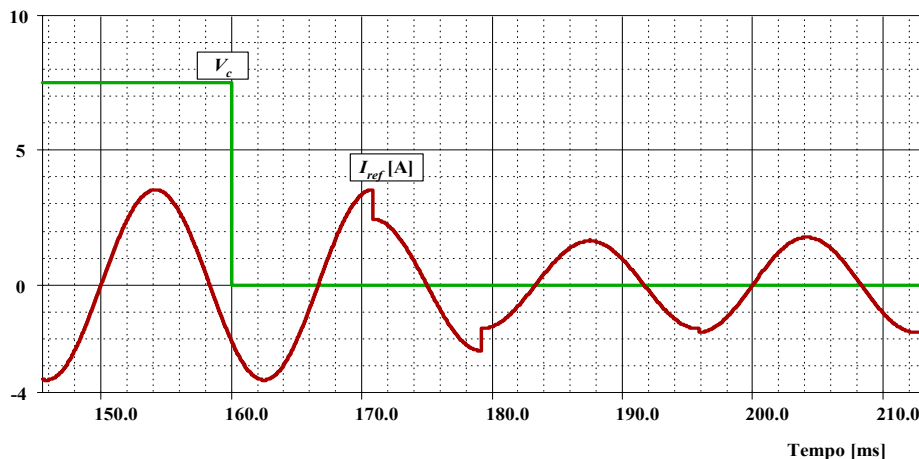


Figura 2.50 – Forma de onda da corrente de referência (I_{ref}) para uma redução de carga de 50% e Pulso de Controle (V_c).

A Figura 2.51 apresenta a corrente de referência e o pulso de controle para uma situação em que o conversor operava com 50% de carga e retorna para carga nominal (100%). Neste caso a corrente de referência aumenta até a tensão de saída se estabilizar em 127 V.

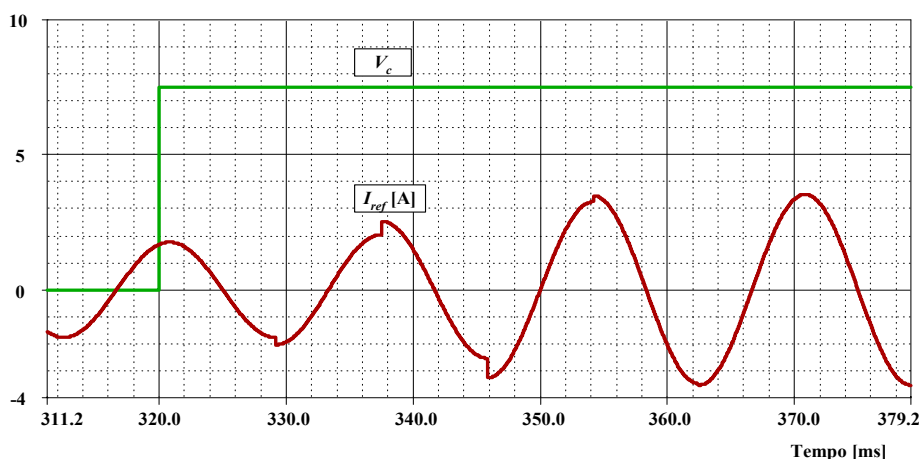
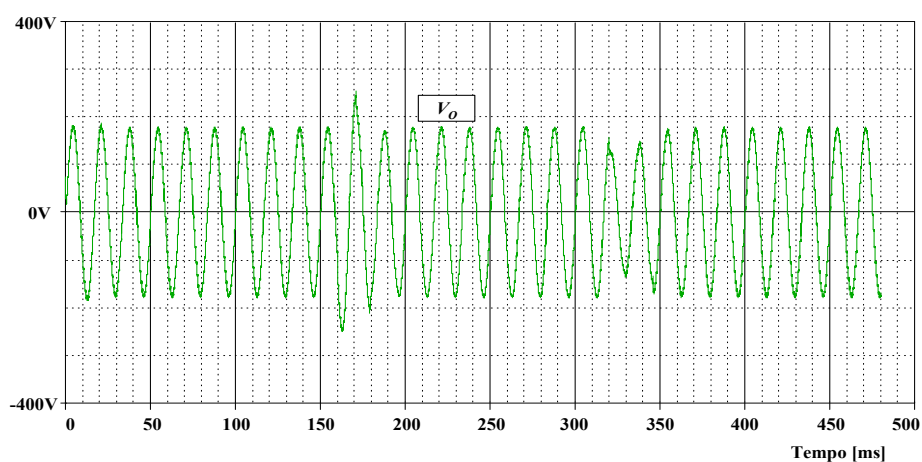


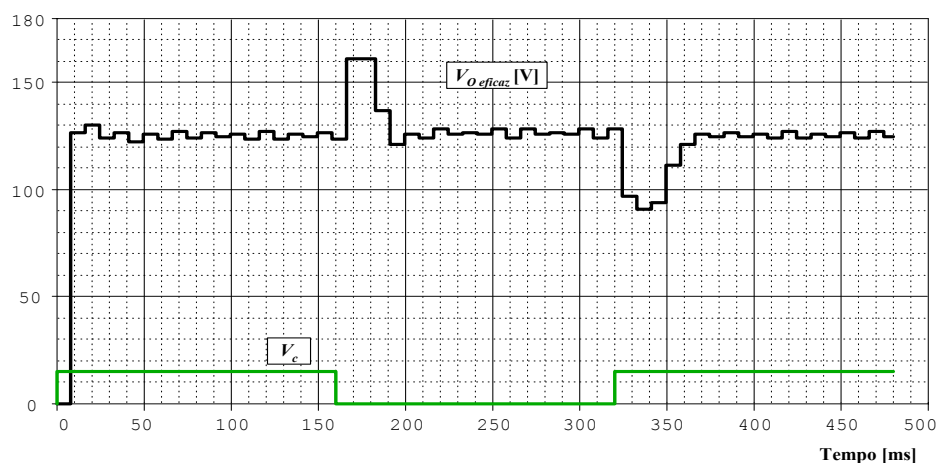
Figura 2.51 – Forma de onda da corrente de referência (I_{ref}) para o conversor operando com 50% de carga e entrada de carga nominal e Pulso de Controle (V_c).

A forma de onda da tensão de saída (V_o) bem como o seu valor eficaz para variação de carga está representada nas Figuras 2.52 (a) e 2.52 (b), respectivamente. Pode-se observar que quando a carga foi reduzida (t = 160 ms) a 50% da nominal a tensão de saída

do conversor aumentou, tanto no seu valor de pico quanto no seu valor eficaz. Neste caso, a corrente de referência teve seu valor aumentado de um ganho K como observou-se na Figura 2.51. Observa-se ainda que com a atuação do controle a tensão voltou ao patamar desejável (127 V) em menos de três ciclos da tensão da rede de alimentação. De forma análoga, pode ser observado que o valor de pico e o valor eficaz da tensão de saída reduziram com a reintrodução de carga nominal ($t = 320\text{ms}$). Mais uma vez, a atuação do controle se mostrou eficiente estabilizando a tensão de saída no patamar de 127 V em menos de três ciclos da tensão da rede de alimentação em CA. Observa-se ainda que a partir do instante $t = 325\text{ ms}$, novamente houve uma elevação de 100% da carga, e novamente a tensão se estabilizou como desejado.



(a)



(b)

Figura 2.52 – (a) Forma de onda da tensão instantânea de saída (V_o); (b) Valor eficaz da tensão de saída (V_o) para variação de carga (entrada e saída de carga) e Pulso de controle (V_c).

2.6 – Conclusões

Neste capítulo, apresentou-se e analisou-se a topologia proposta para o regulador CA de tensão, baseada na estrutura do conversor CC/CC Sepic. Observou-se a necessidade de interruptores bidirecionais em corrente e tensão para a estrutura operar como regulador de tensão CA. Esta bidirecionalidade pode ser conseguida através de dois Mosfets em anti-série (ou Igbts em anti-série). Os elementos do circuito (L_1 , L_m , C_l e C_o) foram projetados e especificados através de uma metodologia simples de projeto, impondo-se limites para os máximos valores de “ripple” de correntes e tensões.

Foram discutidas as técnicas de modulação PWM com frequência constante, modulação Delta, modulação por histerese variável e modulação por histerese variável do tipo “Bang-Bang”. Todas elas apresentaram reduzida DHTI e elevado fator de potência, entretanto as técnicas de modulação PWM e de histerese variável histerese variável do tipo “Bang-Bang” se mostraram mais adequada para implementação, uma vez que o controle é bastante simples. A técnica de histerese variável do tipo “Bang-Bang” apresenta como vantagem adicional a não existência de tempos mortos quando da passagem da referência por zero, resultando em menor distorção harmônica para a corrente de entrada, em relação às modulações Delta e histerese variável convencional, além de poder propiciar frequência quase constante.

Os resultados de simulação apresentados demonstraram que a metodologia de projeto foi adequada. Obteve-se fator de potência unitário tanto para carga linear quanto para carga não linear para as técnicas modulação PWM, modulação por histerese variável e modulação por histerese variável do tipo “Bang-Bang”. Este fato é importante uma vez que, para este tipo de modulação, o fator de potência não depende do tipo de carga e do fator de potência da carga. Também foi observado que os “ripples” máximos estão aproximadamente dentro das especificações. Por outro lado, a tensão de saída (V_o), quando se alimenta uma carga não linear (retificador monofásico com filtro capacitivo), a taxa de distorção harmônica aumenta significativamente. Quanto maior o capacitor do filtro de saída do retificador mais quadrada será a tensão de saída, e, maior será a distorção harmônica.

Neste contexto, os resultados de simulação servirão para as especificações dos semicondutores de potência utilizados, em função dos esforços de tensão e corrente observados na simulação.

No Capítulo 3 serão apresentadas e discutidas as implementações das técnicas de controle para a implementação prática do regulador CA/CA de tensão proposto.

3 – Implementação das Técnicas de Controle

3.1 – Introdução

Neste capítulo será apresentada a implementação de duas das técnicas de modulação discutidas no Capítulo 2, ou seja, Modulação por histerese variável do tipo “Bang-Bang” e a Modulação PWM com frequência constante. Estas técnicas de controle serão implementadas de forma a se obter uma reduzida DHTI e um elevado fator de potência para o regulador proposto utilizando controle digital. Esta opção se deve à boa performance e à redução dos custos dos circuitos digitais, de tal forma que estes se tornaram atrativos para o controle de conversores de potência. Ainda, para implementação da lógica proposta, será utilizado um dispositivo FPGA, uma vez que o mesmo permite características desejáveis, tais como: operações concorrentes, elevada velocidade de processamento dos algoritmos, utilização de VHDL, rápida reconfiguração e prototipagem de baixo custo. No Apêndice N é apresentado um breve resumo sobre Dispositivos Lógicos Programáveis e Linguagem de Descrição de “Hardware” (VHDL).

Conforme já discutido no Capítulo 2 será utilizada a linguagem de descrição de “hardware” (VHDL) e o dispositivo especificado para a implementação de controle é o FPGA XC2S200epq208-6 da família Spartan-IIe (Xilinx). A ferramenta EDA (“*Electronic Design Automation*”) utilizada é a ISE Foundation 5.2i, e, a ferramenta de síntese é a XST (“*Xilinx Synthesis Technology*”), enquanto que o simulador utilizado será ModelSim 5.7g XE II (*Starter da Model Technology*).

A ferramenta de síntese foi configurada para operar com os critérios de otimização levando em consideração a velocidade de processamento, de tal forma que possam operar em elevadas frequências, ou seja, com menores tempos sem se preocupar com o espaço de área requerido na placa, uma vez que o algoritmo a ser implementado é razoavelmente simples, além de envolver elevadas frequências. Uma outra opção disponível para a ferramenta de síntese é a otimização em função da área que não será aqui explorada, tendo em vista que se deseja principalmente velocidade de processamento.

Os DSPs também poderiam ser uma opção, entretanto eles possuem limitações na frequência de operação e operação seqüencial, de tal forma que se o algoritmo for complexo, atrasos poderão comprometer o desempenho da estrutura.

Assim, apresenta-se nos itens 3.2 e 3.3, os códigos de descrição de “*hardware*” com síntese comportamental, para as técnicas de controle propostas (modulação por histerese variável tipo “*Bang-Bang*” e modulação PWM), além dos principais resultados de simulação, os dados estatísticos de performance do componente gerado, assim como as taxas de ocupação de recursos lógicos.

3.2 – Controle digital para a Modulação por histerese variável tipo “*Bang-Bang*”

A Figura 3.1 apresenta um diagrama de blocos simplificado do arranjo geral para a imposição da corrente de entrada (malha fechada de corrente), incluindo sensores, condicionamento de sinal, conversores A/D, FPGA, circuito de comando e circuito de potência.

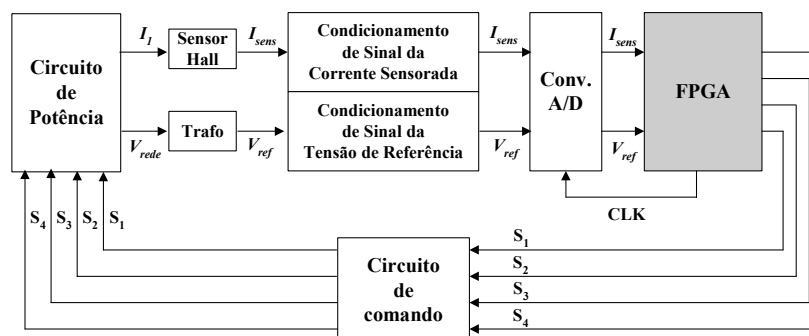


Figura 3.1 - Diagrama de blocos simplificado incluindo: Circuito de potência, Sensor “Hall”, Trafo (sensor de tensão), Condicionamento de sinais para o conversor A/D, FPGA e Circuito de comando.

O sensor “*Hall*” é responsável pelo monitoramento da corrente de entrada, enquanto que o transformador fornecerá a imagem da tensão da rede de alimentação em CA. Vale salientar que a corrente de entrada deverá acompanhar a tensão de referência de tal forma a se obter reduzida distorção harmônica e elevado fator de potência. Os blocos de condicionamento, tanto da corrente sensorada (I_{sens}) quanto da tensão de referência (V_{ref}), são necessários para adequar estes sinais à faixa de tensão de entrada permitida pelo conversor analógico digital (A/D). Após a digitalização dos sinais I_{sens} e V_{ref} , estes serão as entradas do FPGA onde será processada toda a lógica de controle para o acionamento dos interruptores do circuito de potência. O FPGA, ainda será responsável pela geração do “*clock*” de aquisição de dados (I_{sens} e V_{ref}) do conversor A/D. Uma vez processada a lógica

de controle, os sinais gerados serão enviados ao circuito de comando que acionará os interruptores do circuito de potência. O circuito de comando é responsável para adequar os sinais gerados pelo FPGA (TTL) aos níveis de tensão e corrente necessários (potência) para a efetiva ativação dos interruptores do circuito de potência.

A lógica de controle adotada está baseada na comparação entre a corrente sensorada e a tensão de referência conforme pode ser observado em um trecho do comando representado na Figura 3.2. Quando a corrente sensorada for menor que a tensão de referência, o comando deverá ativar o interruptor S_1 , e no caso contrário, o interruptor S_1 deverá ser bloqueado. Durante o semi-ciclo positivo o interruptor S_2 ficará sempre ativo, enquanto que no semi-ciclo negativo será o interruptor S_4 . Vale comentar que os interruptores modulantes são S_1 e S_3 no semi-ciclo positivo e no semi-ciclo negativo, respectivamente.

Para que a frequência de chaveamento não assuma valores extremamente elevados introduz-se um “clock” para a tomada de decisão (clk_{me}), ou seja, para que haja a mudança do estado de um dos interruptores modulantes, necessariamente deverá haver um evento do clk_{me} , e, não apenas satisfazer a condição da corrente sensorada ser maior ou menor do que a tensão de referência. Apenas para citar, pode acontecer de haver um evento do clk_{me} sem necessariamente haver mudança do estado de um dos interruptores, como pode ser observado na Figura 3.2 (comentado no Capítulo 2).

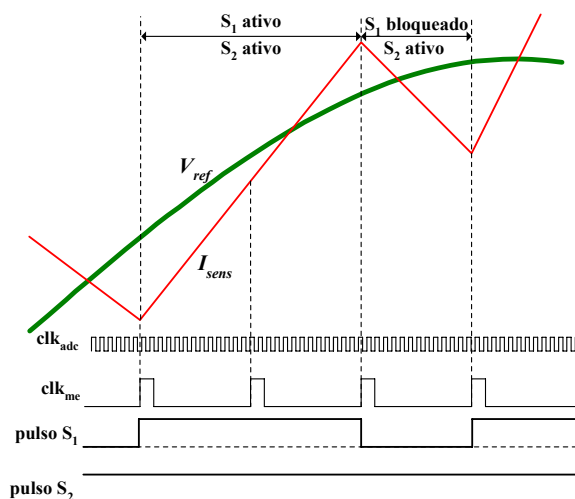


Figura 3.2 – Detalhe do controle para um trecho da tensão de alimentação no semi-ciclo positivo para a Modulação por histerese variável tipo “Bang-Bang”.

Apesar da lógica de controle apresentada na Figura 3.2 ser funcional, alguns cuidados devem ser tomados no sentido de garantir que não haja curto-circuito e nem

sobretensões sobre os interruptores devido as interrupções da corrente de carga. Assim, o controle deverá também atender a lógica adicional conforme Figura 3.3.

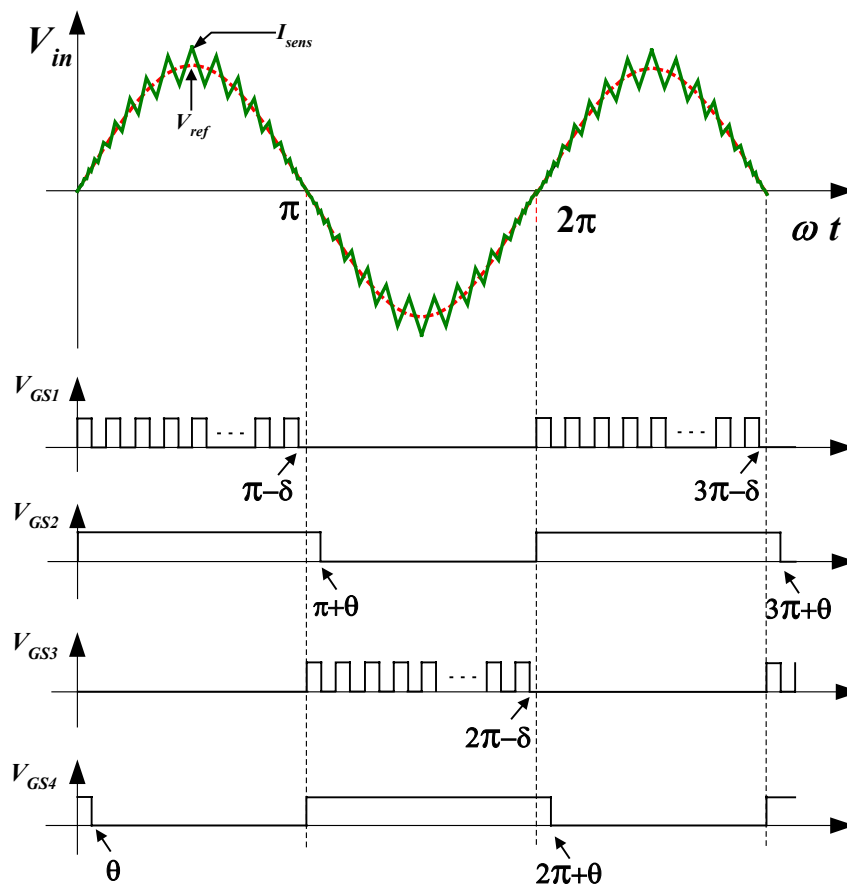


Figura 3.3 – Detalhe da lógica adicional para o controle dos quatro interruptores S_1 , S_2 , S_3 e S_4 para um ciclo da rede de alimentação para a Modulação por histerese variável tipo “Bang-Bang”.

3.2.1 – Implementação dos Códigos em VHDL

Com o objetivo de dar enfoque ao bloco do FPGA, a Figura 3.4 apresenta um outro diagrama de blocos contendo o componente “total” gerado no FPGA que é composto por dois outros componentes, ou seja, o componente “entrada” e o componente “sepictl”. Apenas para esclarecer, aqui a palavra componente representa um dispositivo formado a partir de uma descrição de “hardware” que propicia a conexão de portas lógicas existentes na pastilha (FPGA) de tal forma a desempenhar uma função específica, por exemplo, uma lógica de controle desejável.

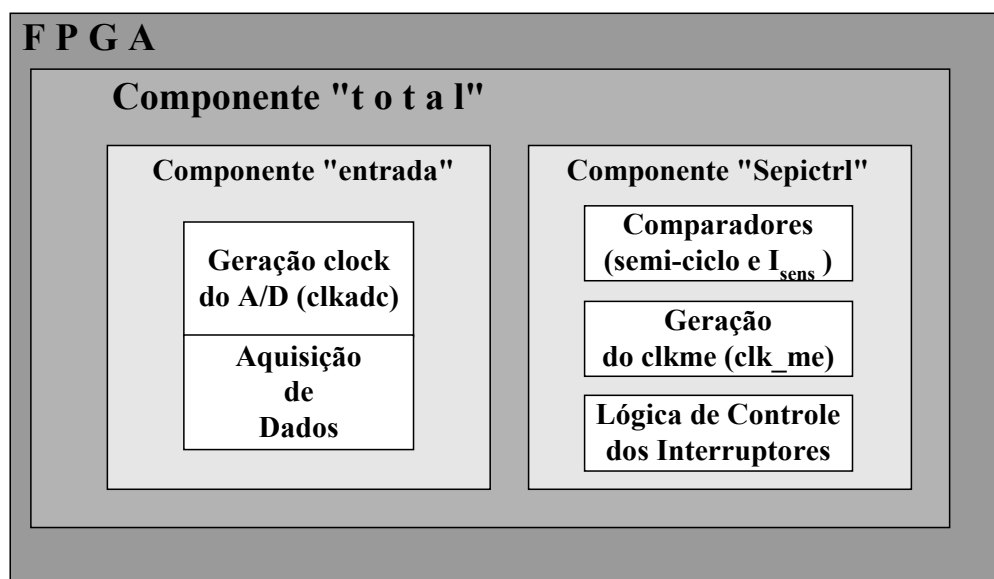


Figura 3.4 – Bloco com os componentes gerados através da linguagem de descrição de “hardware” e implementados no FPGA, a saber: componente “total”, componente “entrada” e componente “sepictrl”.

A geração do componente “total” a partir dos outros dois componentes é possível graças ao recurso da instanciação através de uma descrição estrutural, entretanto os componentes “entrada” e “sepictrl” serão gerados através de uma descrição estrutural.

Nos itens 3.2.1.1, 3.2.1.2 e 3.2.1.3 serão apresentadas as funções específicas de cada componente, bem como o código em VHDL que representa o seu funcionamento. Apresentam-se também alguns resultados estatísticos, circuito esquemático gerado e resultados de simulação como forma de verificar se o código que representa o componente, através da linguagem de descrição de “hardware”, está compatível com o projetado.

3.2.1.1 - Bloco - Componente Entrada

O componente “entrada” tem a finalidade de adquirir os dados de entrada (I_{sens} e V_{ref}) e gerar o “clock” para o conversor A/D. Desta forma, a arquitetura prevista para este componente é composta por dois processos concorrentes utilizando descrição de “hardware” do tipo comportamental. Um processo é denominado de *Process(clk50M)* e tem a finalidade de gerar o “clock” para o conversor A/D com sensibilidade ao evento do “clock” interno do FPGA que oscila em 50 MHz. O outro processo é denominado *Process(cda_temp)*, que tem a finalidade de adquirir os dados de entrada mediante a sensibilidade do evento do “clock” do conversor A/D (clkadc) anteriormente gerado pelo FPGA. Em função dos tempos associados para as frequências de chaveamento (máxima

freqüência de 100 kHz), o “*clock*” implementado no FPGA para o conversor A/D foi de 1,5625 MHz. Desta forma, os dados de entrada serão adquiridos com esta freqüência de amostragem. O código detalhado para o componente “entrada” está apresentado no Apêndice “H”. O conversor A/D utilizado é o ADS2807-EVM da Texas Instruments, que possui dois canais de entrada analógica e dois barramentos de 12 “*bits*” referentes a cada canal de entrada, além de dois sinais de controle de um “*bit*” que informam se os dados são válidos (*dva* e *dvb*) e mais dois sinais de controle de um “*bit*” que informam se os valores de tensão da entrada estão dentro da faixa permitida, ou, se houve violação dos limites (“*over range*” – *ovra* e *ovab*).

O *Process(cda_temp)*, é o processo responsável pela aquisição e armazenagem de duas palavras de doze de “bits” (corrente amostrada (I_{sens}) e corrente de referência (V_{ref}) e quatro sinais de controle de um “bit” (*dvas* e *ovrs*), provenientes dos dois barramentos de saída do conversor A/D, em cada período de amostragem. O código em VHDL gerado para o componente “entrada” está listado no Anexo “F”.

Uma vez gerado o código em VHDL, a ferramenta de simulação permite a sintetização do componente (*Synthesize* - XST), gerando um relatório completo (“*View Synthesis Report*”) sobre os processos de compilação, análise, síntese e outros. É disponibilizado ainda o circuito esquemático (“*View RTL Schematic*”) hierárquico da descrição RTL sintetizada para o componente em questão (“entrada”).

Na Tabela 3.1 estão apresentados alguns dados estatísticos referentes os recursos requeridos no dispositivo FPGA para a implementação do componente.

Observando-se a Tabela 3.1 verifica-se que com exceção do número de IOBs, foram utilizados muito pouco dos recursos lógicos disponíveis. Neste caso, o espaço utilizado para a configuração dos recursos foi bastante pequeno. Entretanto, com relação ao número de IOBs, foram utilizados 40% dos recursos lógicos disponíveis. Vale observar que esta porcentagem é bastante elevada considerando que o dispositivo implementado é bastante simples. O fato do conversor A/D ser do tipo paralelo contribuiu fortemente para este número, uma vez que ele possui dois barramentos de saída digital de 12 “bits” cada, além das quatro saídas de 1 “bit”. Observa-se ainda que a freqüência máxima permitida pelo circuito sintetizado é bem superior a freqüência do oscilador global do FPGA que é de 50 MHz.

Tabela 3.1 – Estatística do processo de síntese do componente “entrada”.

Dispositivo Selecionado - 2s200epq208-6			
Recursos	Utilizado	Disponível	%
Número de “Slices”	40	2352	1
Número de “Flip Flops” de cada “Slice”	66	4704	1
Número de LUTs	14	4704	0
Número de IOBs	61	146	41
Máxima Freqüência de Operação	169,434MHz		

A Tabela 3.2 registra os elementos inferidos pela ferramenta de síntese para o componente “sepictrl”.

Tabela 3.2 – Número de elementos inferidos pela ferramenta de síntese para o componente “entrada”.

Registadores/Somadores/Comparadores Gerados	Q^{de}
Registador de 1 “bit”	5
Registador de 6 “bit”	2
Registador de 12 “bits”	4
Somadores de 6 “bits”	2
Comparadores de 6 “bits”	1

Apresenta-se na Figura 3.5 o resultado da simulação do funcionamento do componente “entrada”, onde pode ser observados o “clock” gerado para o conversor A/D (clkadc) e os dados aquisitados da entrada para o canal A e o canal B (cha_out e chb_out). Observa-se que o dado só estará disponível ao final do “clock” clkadc. Os dados exemplos disponíveis 127 (cha_out) e 3968 (chb_out), foram aquisitados no momento em houve o evento do clkadc, não visualizado na figura. Ainda, observa-se que o evento do clkadc propiciará a aquisição dos dados exemplos de entrada 159 (cha) e 3936 (chb). Da mesma forma, eles somente estarão disponíveis ao final do clkadc não visualizado na figura. Enquanto isto, os dados disponíveis para processamento serão os anteriores 127 e 3968.

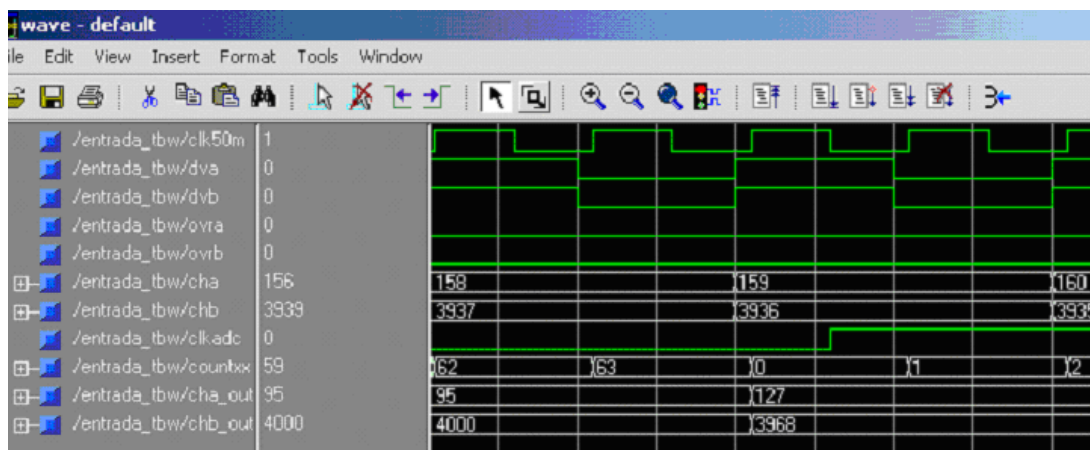


Figura 3.5 – Resultado de simulação da descrição VHDL do componente “entrada” através do simulador ModelSim 5.7g XE II.

3.2.1.2 – Bloco - Componente *sepictrl*

A Figura 3.6 apresenta a forma de onda da tensão senoidal de referência (V_{ref}), a corrente amostrada (I_{sens}) e a região de transição, assim como o patamar superior, inferior e zero. Acrescenta-se que a excursão da tensão V_{ref} está cotada de acordo com os 12 “bits” do conversor A/D.

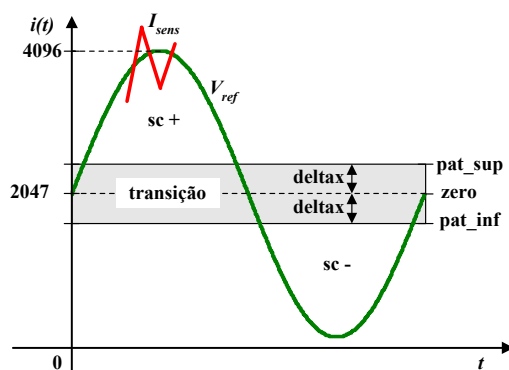


Figura 3.6 – Identificação da corrente de referência (V_{ref}), a corrente amostrada (I_{sens}) e a região de transição, assim como, o patamar superior, inferior e zero.

O componente “sepictrl” tem a finalidade de identificar o semi-ciclo (sc) da tensão de alimentação, além de verificar a posição da corrente sensorada em relação à tensão de referência. Ele também tem a função de criar um “clock” ($clkme_temp$) responsável pelo momento em que cada interruptor deve ser ativado em função da lógica de controle desejada. Informa-se ainda que este componente está baseado em três processos gerados em VHDL com descrição comportamental, a saber, o processo *process* ($clkadc$), o

processo *process(clk)* e o processo *process (clkme_temp)*. O código detalhado para o componente “sepictrl” está apresentado no Apêndice “I”.

O processo *process (clkadc)* está baseado em uma estrutura “case” com os seguintes casos selecionados: ““start””, *transição*, *positivo*, *negativo* e “off”, além de ter sensibilidade à subida do “clock” do conversor A/D (clkadc). Após um “reset” é atribuído ao *estado* o caso “start”. O caso “start” identifica a zona de transição e em caso positivo, faz com que seja atribuído ao *estado* o caso *transição*, do contrário continua no “start”.

O caso *transição* identifica o semi-ciclo, positivo ou negativo, da tensão de entrada e atribui ao *estado* o caso *positivo* se a corrente de referência (din_a) for maior do que o patamar superior (pat_sup), do contrário, atribui ao *estado* o caso *negativo*.

O caso *positivo* compara se a referência é menor do que o patamar superior (pat_sup). Em caso positivo, é atribuído ao *estado* o caso *transição*, do contrário o *estado* seria o caso *negativo*, que da mesma forma atribuiria ao *estado* o caso *transição*. Para situações não contempladas (“others”) é atribuído ao *estado* o caso “off”. Vale salientar ainda que este processo é rodado numa velocidade (frequência) bem superior ao processo *process (clkme_temp)*.

Através do processo *process(clk)* é gerado o “clock” (*clkme_temp*) responsável pelo momento de decisão da comutação dos interruptores. Observa-se que ele é sensível ao clk (50 MHz) e foi programado para uma frequência de 200 kHz. Apenas para informar, o “clock” do A/D é de 1,5625 MHz, ou seja, aproximadamente 8 vezes maior que o “clock” de decisão da comutação dos interruptores (*clkme_temp*).

Quanto ao processo *process (clkme_temp)*, pode-se dizer que as atualizações e comparações concorrentes se dão na frequência do *clk_me*. Basicamente, este processo tem a finalidade de gerar os sinais para os interruptores e também está baseado numa estrutura *case* com os seguintes casos selecionados: “start”, *transição*, *positivo*, *negativo*, “off” e “others”. Apenas para exemplificar, suponha que a corrente de referência tenha o valor de 2050. Após o “reset” é assumido o estado “start” que verifica que este valor está fora da região de transição. Assim, o estado vai continuar até que a corrente de referência assuma um valor dentro da região de transição e, ao mesmo tempo os interruptores estarão todos desligados, pois esta é a decisão para o caso “start” no processo de acionamento (*process (clkme_temp)*). Com a evolução senoidal da corrente de referência, depois de algum tempo ela entra na região de transição, de tal forma que o estado passará a ser o estado *transição* até que a corrente de referência passe a ser menor que o patamar inferior. Aqui também os interruptores estarão desabilitados, pois esta é a instrução para o caso *transição* no

processo de acionamento. Quando a corrente de referência assumir um valor menor que o patamar inferior o estado passa a ser o estado *negativo*. Agora sim, existe a possibilidade de acionamento de um dos interruptores. Para isto, basta identificar a posição da corrente sensorada em relação à corrente de referência. Se a corrente sensorada for menor ou igual à corrente de referência, o interruptor S_4 deverá conduzir, em caso contrário S_3 .

O código desenvolvido, não permite acionar uma chave sem antes a corrente de referência passar pela região de transição, este fato é interessante uma vez que ele não permite a energização, por exemplo, no pico da tensão de alimentação (apesar do topologia do conversor Sepic não apresentar “*inrush*” durante a partida). Observa-se ainda que este código poderia atender os casos de controle por modulação Delta e histerese variável, uma vez os limites da região de transição implica em um valor mínimo para a tensão de controle. Esta região de transição pode ser tão pequena ou tão grande quanto se quiser. Para isto, basta definir no código o valor de *deltax*. Observa-se, entretanto que grandes valores para esta região de transição implicarão em descontinuidade para a corrente de entrada e elevação de sua TDH.

Na Tabela 3.3 estão apresentados alguns dados estatísticos referentes os recursos requeridos no dispositivo FPGA para a implementação do componente “*sepictrl*”.

Tabela 3.3 – Estatística do processo de síntese do componente “*sepictrl*”.

Dispositivo Selecionado - 2s200epq208-6			
Recursos	Utilizado	Disponível	%
Número de “<i>Slices</i>”	62	2352	2
Número de “<i>Flip Flops</i>” de cada “<i>Slice</i>”	23	4704	~0
Número de LUTs	103	4704	2
Número de IOBs	36	146	24
Máxima Frequência de Operação	138,198 MHz		

Da análise da Tabela 3.3 verifica-se que com exceção do número de IOBs foram utilizados muito pouco dos recursos disponíveis, analogamente ao componente “*entrada*”. Neste caso, foram utilizados 36% dos recursos disponíveis IOBs. O principal responsável pela grande utilização dos IOBs continua sendo o conversor A/D, como também foi observado para o componente “*entrada*”. Observa-se ainda que a frequência máxima permitida pelo circuito sintetizado é bem superior (138,198 MHz) a frequência do

oscilador global do FPGA que é de 50 MHz. A Tabela 3.4 apresenta os elementos inferidos pela ferramenta de síntese.

Tabela 3.4 – Número de elementos inferidos pela ferramenta de síntese para o componente “sepictl”.

Registadores/Somadores/Comparadores Gerados	Q^{de}
Registador de 1 “bit”	5
Registador de 3 “bit”	2
Registador de 8 “bits”	4
Somadores de 6 “bits”	2
Comparadores – 6 “bits”	1
Comparadores – 12 “bits”	8

Apresenta-se na Figura 3.7 o resultado de simulação do funcionamento do componente “sepictl”. A partir deste resultado de simulação observa-se, entre outros sinais, o *clk_me* gerado a partir do “clock” do FPGA (clk), bem como os sinais para os interruptores. Na situação exemplo apresentada, a tensão de referência (din_a) corresponde ao semi-ciclo positivo (2556) e, como a corrente amostrada (din_b) é menor do que a tensão de referência (2807), S₁ deverá ser ativado para a condução e S₂ deverá ser bloqueado, conforme apresentado no resultado de simulação. Apesar deste código impor o bloqueio do interruptor S₂ (complementar a S₁), esta operação não é necessária, podendo manter o interruptor S₂ ativo durante todo o semi-ciclo positivo (operação do conversor Sepic). Analogamente, vale a mesma idéia para o semi-ciclo negativo, só que agora deve-se considerar o interruptor S₄ (complementar a S₃). Para isto, basta atribuir “1” (ativo) ao estado dos interruptores S₂ e S₄ quando o semi-ciclo for positivo ou negativo, respectivamente.

Teoricamente o sinal *clk_me* é o mesmo sinal *clkme_temp*. O atraso que ocorre para o *clk_me* é devido ao fato dele ter sido alocado em um registrador com a finalidade de obtê-lo na saída para visualização no resultado de simulação. Efetivamente a comutação acontece com o evento do *clkme_temp*.

Observa-se ainda que os interruptores S₃ e S₄ estão desabilitados, como de fato deveria ser, pois para este exemplo de simulação analisa-se o semi-ciclo positivo da tensão de alimentação. Outras situações foram simuladas e apresentaram respostas adequadas, entretanto não estão aqui apresentadas. Informa-se adicionalmente que o *clkme_temp* é o responsável pelo “ripple” da corrente de entrada, ou seja, quanto mais rápido (maior

freqüência) for *clkme_temp*, menor será o “ripple” da corrente de entrada e, em caso contrário, o “ripple” será maior.

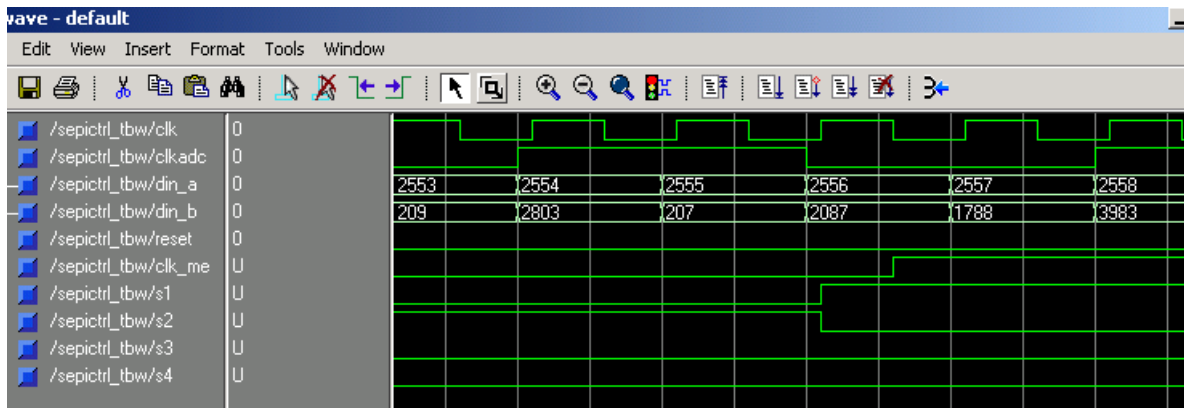


Figura 3.7 – Resultado de simulação do funcionamento do componente “sepictrl” através do simulador ModelSim 5.7g XE II.

3.2.1.3 – Bloco- Componente Total

Uma vez apresentados os blocos “entrada” e “sepictrl”, pretende-se agora integrar estes dois blocos formando um bloco geral que será denominado “total”. Para que isto seja possível é necessário instanciar estes blocos de forma adequada. A instanciação [ver referência 35] é feita com a utilização de um código em VHDL de descrição estrutural, uma vez que serão utilizados os componentes (“entrada” e “sepictrl”) gerados nos itens 3.2.1.1 e 3.2.1.2. O Apêndice “J” apresenta o código VHDL de descrição estrutural desenvolvido para o componente “total”, enquanto que a Figura 3.8 mostra o bloco com entradas e saídas para o componente “entrada” e o bloco com entradas e saídas para o componente “sepictrl”.

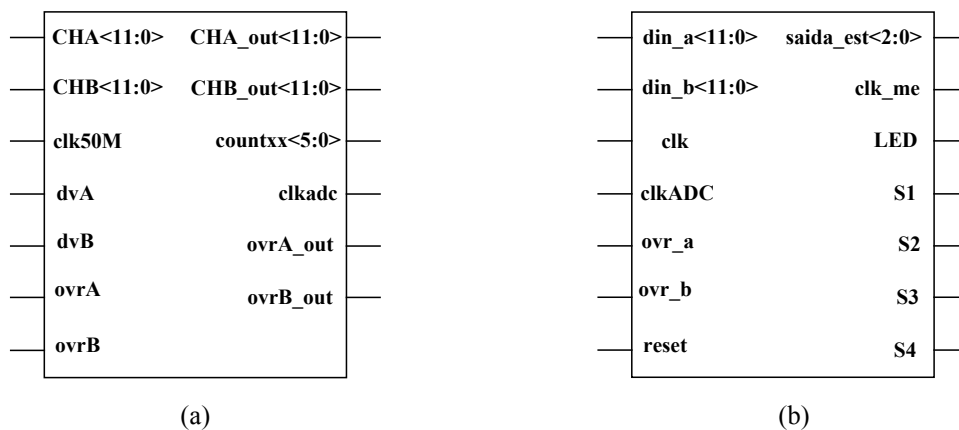


Figura 3.8 – (a) Bloco com entradas e saídas para o componente “entrada”; (b) Bloco com entradas e saídas para o componente “sepictrl”.

Após a síntese do componente “total” foi gerado o bloco para o componente “total” que integra os blocos do componente “entrada” e o bloco do componente “sepivctrl” conforme Figura 3.9.

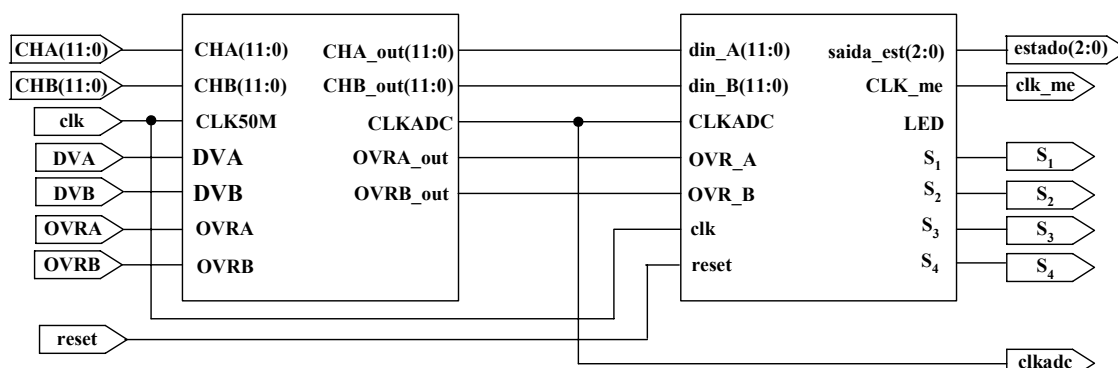


Figura 3.9 - Bloco com entradas e saídas para o componente “total”.

A Tabela 3.5 apresenta a porcentagem dos recursos utilizados para implementação do componente. Observa-se que os recursos utilizados são relativamente baixos, a não ser o número de IOBs, porém atende o limite máximo da frequência, conforme já explicado anteriormente.

Tabela 3.5 – Estatística do processo de síntese do componente “total”.

Dispositivo Selecionado - 2s200epq208-6			
Recursos	Utilizado	Disponível	%
Número de “Slices”	94	2352	3
Número de “Flip Flops” de cada “Slice”	82	4704	1
Número de LUTs	120	4704	2
Número de IOBs	38	146	26
Máxima Frequência de Operação	109,938 MHz		

Para que o componente seja implementado fisicamente é necessário gerar um arquivo de programação e configurar o dispositivo. Este recurso está disponível na ferramenta de simulação (“*Generate Programming File/Configure Device-iMPACT*”). Entretanto, é necessário antes alocar os pinos do dispositivo que serão utilizados como entradas e saídas dos sinais desejados, bem como definir o padrão de sinais. Para fazer esta operação basta ativar os ícones apropriados da ferramenta utilizada (“*User Constraints/Assign Package Pins*”). Os pinos destinados aos portos de entrada e saída estão apresentados no Apêndice “L”.

3.2 – Controle digital para a Modulação PWM com frequência constante

A Figura 3.10 apresenta um diagrama de bloco simplificado do arranjo geral para a modulação PWM com frequência constante.

Neste tipo de modulação, a forma de onda da corrente de entrada decorre da razão cíclica imposta pelo controle, diferentemente das modulações por histerese onde a corrente de entrada deveria seguir a imagem da tensão de entrada (V_{ref}), ou seja, a corrente era imposta. Desta forma, o sensoramento da tensão de entrada serve apenas para identificação do semi-ciclo positivo ou negativo.

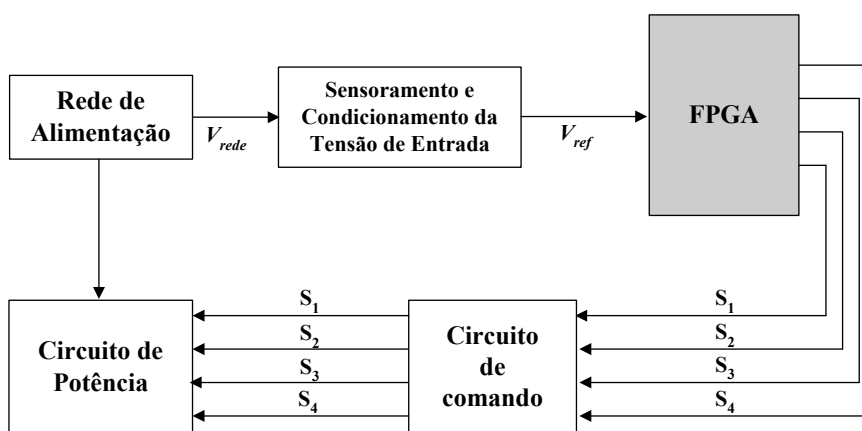


Figura 3.10 - Diagrama de bloco simplificado incluindo: Circuito de potência, Sensor e condicionamento da tensão de entrada, FPGA e Circuito de comando (Modulação PWM).

O bloco de sensoramento e condicionamento da tensão de alimentação em CA está apresentado em detalhes na Figura 3.11. Como comentado, ele serve apenas para indicar o semi-ciclo positivo ou negativo da tensão de alimentação e está totalmente condicionado para fornecer ao FPGA um sinal TTL de 3,3 V.

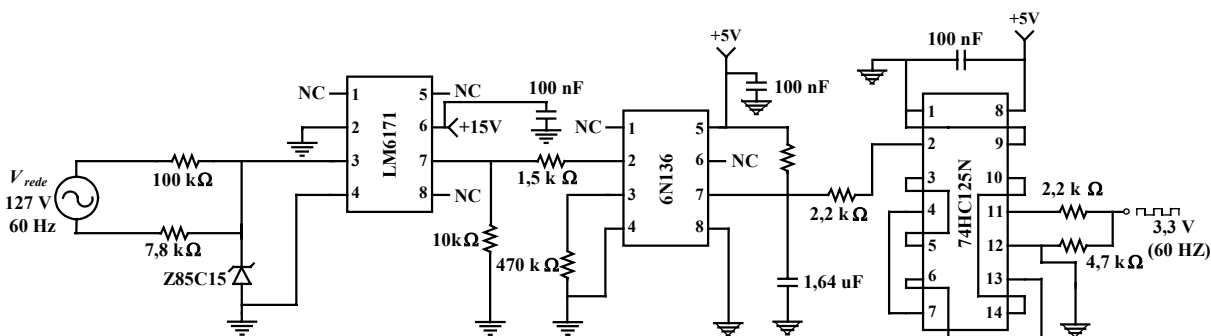


Figura 3.11 – Detalhe do sensoramento e condicionamento da tensão de alimentação em CA.

O FPGA será responsável pelo processamento da lógica de controle (PWM) e enviar os sinais gerados ao circuito de comando que acionará os interruptores do circuito de potência, enquanto que o circuito de comando ajustará os sinais gerados pelo FPGA (TTL) aos níveis de tensão e corrente (potência) necessários para a efetiva ativação dos interruptores do circuito de potência.

A lógica de controle para a modulação PWM está baseada na ativação dos interruptores da seguinte forma: os interruptores ativos serão aqueles que receberem o nível alto do pulso PWM, enquanto que os inativos serão aqueles que receberem nível baixo. A Figura 3.12 apresenta um detalhe para este tipo de modulação para o semi-ciclo positivo da tensão de alimentação. Apenas para exemplificar, no semi-ciclo positivo o interruptor modulante S_1 opera segundo os pulsos PWM enviados enquanto que S_2 se mantém ativo durante todo este semi-ciclo. Analogamente, esta lógica vale para o semi-ciclo negativo, entretanto o interruptor modulante será S_3 com S_4 ativo durante todo o semi ciclo. Maiores detalhes dos pulsos dos interruptores estão apresentados na Figura 3.13. Informa-se que a largura do pulso é determinada a partir de um contador baseado no “clock” do FPGA de 50 MHz (clk).

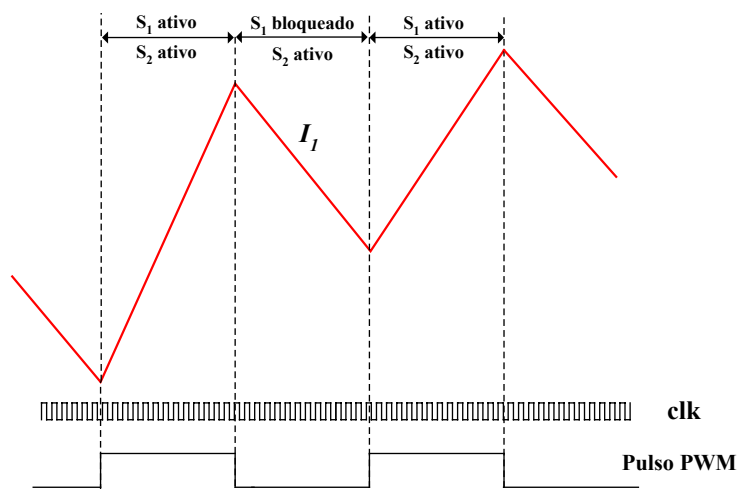


Figura 3.12 – Detalhe do controle para um trecho da tensão de alimentação no semi-ciclo positivo para a modulação PWM.

Da mesma forma que para a modulação por histerese variável do tipo “Bang-Bang”, alguns cuidados devem ser tomados no sentido de garantir que não haja curto-circuito e nem sobretensões sobre os interruptores devido às interrupções da corrente de carga. Assim, o controle deverá também atender a lógica adicional conforme Figura 3.13.

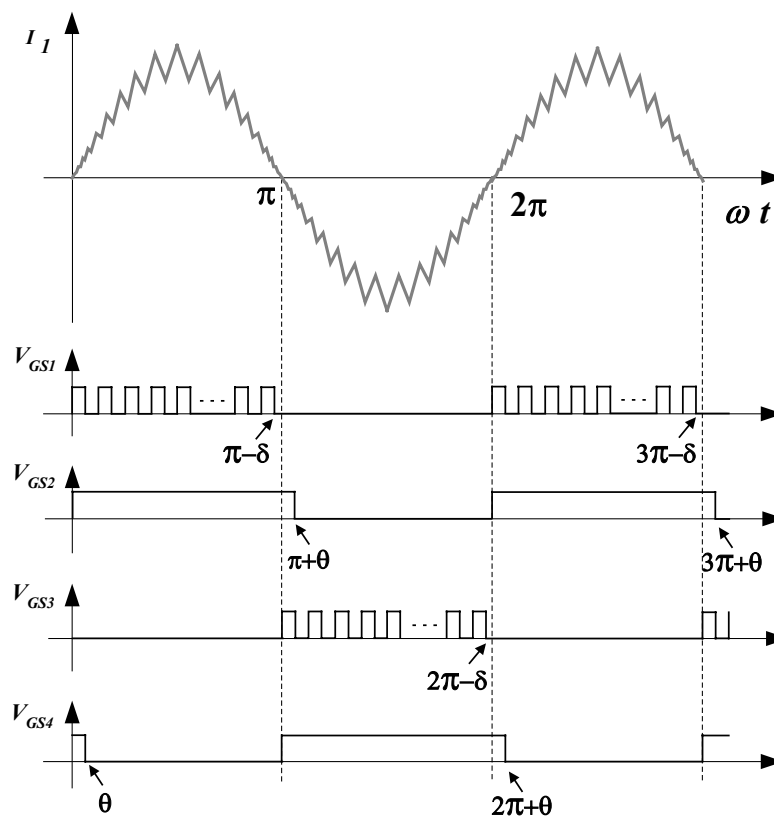


Figura 3.13 – Detalhe da lógica adicional para o controle dos quatro interruptores S_1 , S_2 , S_3 e S_4 para um ciclo da rede de alimentação para a modulação PWM.

Observando-se a Tabela 3.6 verifica-se que foram utilizados muito pouco dos recursos lógicos disponíveis. Neste caso, o espaço utilizado para a configuração dos recursos foi bastante pequeno. Vale observar que o número de IOBs utilizados é bastante reduzido (3%), tendo em vista que apenas uma entrada de dados (tensão de referência) e cinco saídas (sinais de pulso para os quatro interruptores) foram necessários. Isto demonstra a simplicidade da implementação do código em para a modulação PWM.

Tabela 3.6 – Estatística do processo de síntese do componente “entrada”.

Dispositivo Selecionado - 2s200epq208-6			
Recursos	Utilizado	Disponível	%
Número de “Slices”	260	2352	11
Número de “Flip Flops” de cada “Slice”	54	4704	1
Número de LUTs	477	4704	10
Número de IOBs	5	146	3
Máxima Frequência de Operação	56.303MHz		

A Tabela 3.7 registra os elementos inferidos pela ferramenta de síntese para o componente “sepictrl”.

Tabela 3.7 – Número de elementos inferidos pela ferramenta de síntese para o componente “PWM”.

Registradores/Somadores/Comparadores Gerados	Q^{de}
Registrador de 1 “bit”	6
Registrador de 3 “bits”	2
Registrador de 9 “bits”	1
Registrador de 11 “bits”	2
Somadores de 9 “bits”	4
Somadores de 11 “bits”	6
Comparadores de 11 “bits”	1
Multiplexadores 1 “bit”	2
Multiplexadores 11 “bits”	1

Apresenta-se na Figura 3.14 o resultado de simulação para o código que representa o funcionamento do componente modulação PWM (Apêndice M), para um ciclo da rede de alimentação em CA.

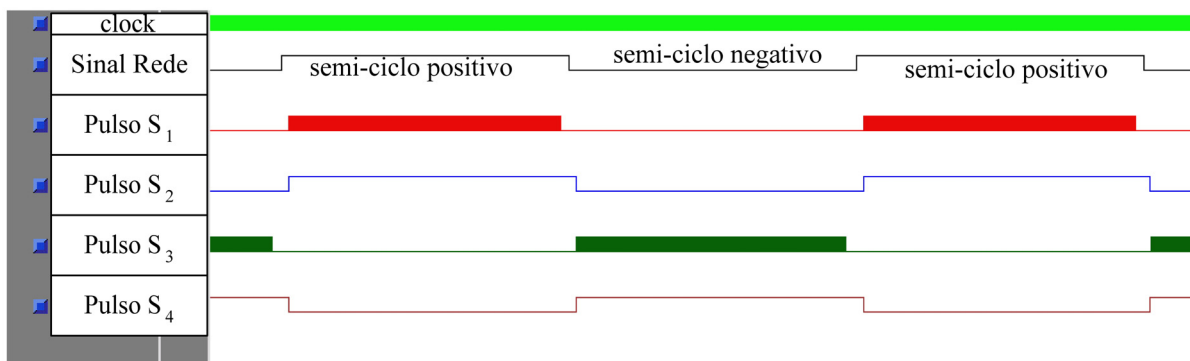


Figura 3.14 – Resultado de simulação do funcionamento do componente modulação PWM, para um ciclo da rede de alimentação em CA através do simulador ModelSim 5.7g XE II.

3.3 – Conclusões

Neste capítulo foram apresentados os desenvolvimentos para os códigos em descrição de hardware para modulação por histerese variável do tipo “*Bang-Bang*” e para a modulação PWM. A partir destes códigos foi possível a implementação dos componentes com suas respectivas funções. Para a modulação por histerese variável do tipo “*Bang-Bang*” o código permitiu a aquisição dos dados analógicos e sintetizar toda a lógica de controle dos interruptores, assim como, estabelecer a frequência de operação dos mesmos e estabelecer o “*ripple*” desejado. A frequência de operação e o “*ripple*” da corrente de entrada se dão em função da frequência do *clkme_temp* que no caso foi de 200 kHz. Informa-se ainda que o “*clock*” gerado para a aquisição dos dados analógicos (V_{ref} e I_{sens}) é de 1,5625 MHz. Todo o desenvolvimento foi baseado na utilização de linguagem de descrição de hardware, através de descrições do tipo comportamental e estrutural.

A simulação permitiu a validação dos componentes desenvolvidos, assim como de toda a lógica de controle. Os recursos lógicos utilizados não ultrapassaram a 11% dos recursos disponíveis no dispositivo FPGA (para as duas modulações propostas), além de atender plenamente a máxima frequência de operação permitida pelo sistema.

Assim, a implementação do controle digital para o conversor Sepic, operando como regulador de tensão CA, com a imposição da corrente de entrada (modulação por histerese variável do tipo “*Bang-Bang*”) e modulação PWM será analisada no Capítulo 5.

4 – Implementação da Proposta e Resultados Experimentais

4.1 – Introdução

Neste capítulo são apresentados e detalhados todos os dispositivos auxiliares para sensorar a tensão e a corrente, incluindo os circuitos condicionadores para os sinais de entrada do conversor A/D e circuitos de comando dos interruptores.

Para sensorar a tensão de entrada foi utilizado um transformador, enquanto que para sensorar a corrente foi utilizado um sensor tipo Hall. Com relação ao sensor Hall, apresenta-se um detalhamento quanto à sua alimentação, funcionamento e sinais de saída.

Os circuitos de condicionamento são apresentados e detalhados através de seus circuitos esquemáticos.

Quanto ao conversor A/D, apresenta-se sua configuração e destacam-se todos os seus sinais lógicos disponíveis.

O FPGA está integrado a uma placa de desenvolvimento denominada D2SB, desenvolvida pela Digilent Inc, a qual é também detalhada neste capítulo.

O condicionamento do sinal LVTTTL de 3,3 V oriundo do FPGA, para ativar os interruptores, é realizado pelo CI HCPL-3180 da Agilent. Todas as características deste dispositivo são apresentadas, assim como o motivo de sua aplicação neste projeto.

Apresentam-se ainda as especificações para todos os componentes (L , L_2 , C_1 e C_0) da estrutura de potência, assim como a metodologia de projeto para especificar um núcleo de ferrite adequado para L_1 e L_2 , de tal forma a proporcionar o acoplamento destes dois filtros, reduzindo-se oscilações e as dispersões de fluxo para a estrutura, as quais podem resultar em sobretensões nos interruptores.

Finalmente, são apresentados os principais resultados experimentais e suas análises, considerando-se a operação com carga linear (resistiva).

4.2 – Dispositivos Auxiliares, circuitos de condicionamento de sinais e de comando de “gate”

Na Figura 4.1 apresenta-se uma visão geral dos dispositivos, circuitos de condicionamento e circuitos de comando de “gate” utilizados na implementação da estrutura proposta.

Os dispositivos auxiliares (sensor Hall, transformador e conversor A/D) e os circuitos de condicionamento dos sinais são apresentados nos próximos itens. Além de se especificar os dispositivos escolhidos são detalhados os princípios de funcionamento dos circuitos auxiliares, de condicionamento e comando para os interruptores.

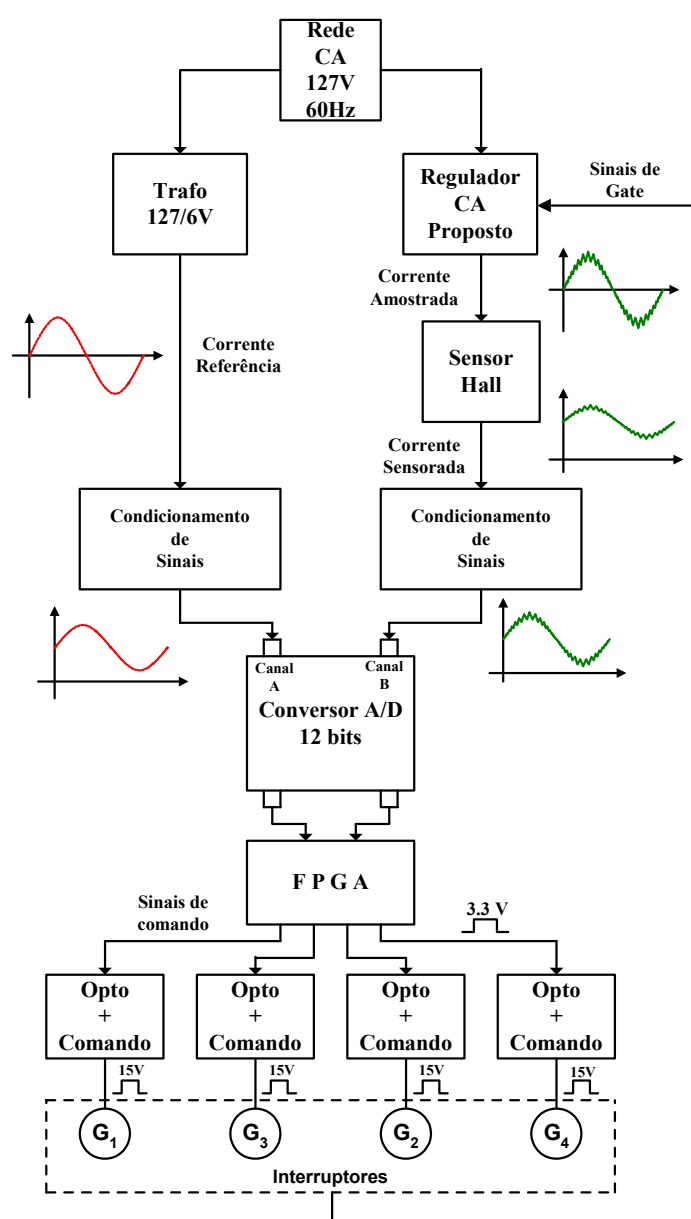


Figura 4.1 – Visão geral dos dispositivos auxiliares, dos circuitos de condicionamento, conversor A/D, FPGA e dispositivo de acionamento de “gate” (opto + comando).

4.2.1 – Sensor de Tensão

Um dado importante para o correto funcionamento da lógica de controle baseada na histerese é a corrente de referência. Na verdade, esta corrente de referência é derivada da tensão de alimentação através de um transformador abaixador (sensor de tensão), de tal forma que ela propicia também a informação do semi-ciclo (+ ou -). Assim, optar por um transformador de boa qualidade é um fator importante para que ocorra a mínima perda e distorção possível. O que se pretende é fazer com que a corrente de entrada (I_I) seja uma imagem da corrente de referência. Então, se a referência (tensão de saída do transformador utilizado como sensor) está com um grau significativo de distorção em relação à tensão de entrada, o fator de potência poderá ser afetado, uma vez que a corrente de entrada será forçada a seguir esta referência com elevada distorção, tendo em vista que o fator de potência também depende do ângulo de deslocamento entre as fundamentais da tensão de alimentação e a fundamental da corrente de entrada.

Nesta aplicação utilizou-se um transformador abaixador de 110 V/6 V, de tal forma que o sinal da corrente de referência esteja próximo do exigido pelo conversor A/D. Informa-se, entretanto que, quando do fechamento da malha de regulação da tensão de saída, este sinal de corrente de referência deverá ainda ser “multiplicado” por sinais proporcionais aos valores eficazes das tensões de entrada e de saída.

No item 4.2.5 será tratado o condicionamento desse sinal de referência, de tal forma a adequá-lo para o conversor A/D.

4.2.2 – Sensor de Corrente tipo Hall

Além da necessidade de um sensor de tensão (transformador), descrito no item 4.2.1, também é necessário um sensor de corrente de tal forma a se obter a informação sobre a corrente instantânea de entrada $i_I(t)$. Tendo em vista que se pretende trabalhar com elevadas frequências de chaveamento (tempos reduzidos) e “ripple” de corrente relativamente reduzido, optou-se por um sensor de corrente com extrema fidelidade do sinal sensorado. Assim, a aquisição da corrente de entrada será feita por um sensor Hall que possui reduzida resistência série (menor dissipação), além de propiciar naturalmente a isolamento elétrica. O sensor escolhido foi o LTS 15-NP da LEM Components, que tem como principais características: excelente precisão, boa linearidade, pequenas perdas (resistência

série inferior a 1,62 mΩ), imunidade a interferências externas e elevada capacidade de corrente [44].

O LTS 15-NP pode ser configurado para diversas conexões em função da corrente que será amostrada. A Tabela 4.1 apresenta as diferentes configurações para as diferentes correntes no enrolamento primário. Em função do valor eficaz da corrente de entrada estar previsto pela metodologia de projeto em torno de 2,5 A, optou-se pela configuração com 3 espiras no enrolamento primário.

Tabela 4.1 – Configurações para o sensor de corrente LTS 15-NP.

Número de espiras do primário	Corrente nominal do primário I_{PN} [A]	Tensão nominal de saída V_{OUT} [V]	Resistência do primário R_P [mΩ]	Indutância primária L_P [μH]	Conexões recomendadas
1	± 15	$2,5 \pm 0,625$	0,18	0,013	
2	± 7,5	$2,5 \pm 0,625$	0,81	0,015	
3	± 5	$2,5 \pm 0,625$	1,62	0,12	

Para os casos em que I_P seja diferente de I_{PN} , a expressão (4.1) permite calcular o valor da tensão de saída (V_{OUT}) do sensor Hall.

$$V_{OUT} = 2,5 \pm 0,625 \cdot \frac{I_P}{I_{PN}} \quad (4.1)$$

A tensão de saída do sensor Hall, em função da corrente no primário, está representada na Figura 4.2.

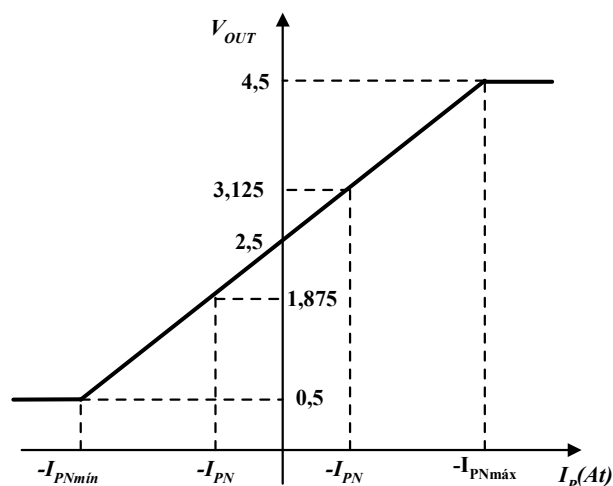


Figura 4.2 – Tensão de saída no LTS 15-NP em função da corrente no primário.

4.2.3 – Conversor Analógico Digital (A/D)

Pelo fato da proposta deste trabalho exigir que o controle seja digital e processado em dispositivo FPGA, faz-se necessária a especificação de um conversor A/D que atenda as condições de projeto. Na escolha de um conversor A/D é necessário especificar alguns parâmetros, tais como: precisão desejada, taxa de amostragem, saída serial ou paralela, número de bits e custo do componente.

Neste projeto optou-se pelo conversor ADS2807 da Texas Instruments que possui dois canais de entrada analógica, taxa de amostragem de até 50MHz, 12 “bits”, saída paralela do tipo “pipelined” [45]. Desta forma, este conversor A/D apresenta as características desejáveis para a conversão analógico-digital dos dados de entrada (corrente de referência e corrente sensorada) para o regulador CA proposto. Entretanto, pelo fato dele ter sido concebido originalmente para conversão CA, foi necessária uma adaptação no mesmo de tal forma que ele pudesse operar em CC (os sinais amostrados pelo sensor do tipo Hall utilizado possui nível CC).

Assim, retirou-se um transformador de RF e um capacitor série existente na entrada do A/D que eliminam os níveis CC de entrada do conversor.

Outra adaptação foi quanto ao fundo de escala. Originalmente, o fundo de escala do conversor era de 5 V, sendo adaptado neste trabalho para 3,5 V, ou seja, ele está configurado para operar com sinal analógico CC com entrada de 1,5 V a 3,5 V.

Uma desvantagem deste conversor é que ele disponibiliza o sinal convertido (sinal digital) após seis ciclos de “*clock*”. Assim, é recomendado utilizá-lo com a máxima frequência de “*clock*” de forma que o dado esteja disponibilizado o mais rápido possível. O fato deste conversor apresentar uma saída paralela é bastante interessante, pois é possível adquirir a palavra digital de 12 “*bits*” de forma mais rápida do que em uma saída serial. Entretanto, tem-se a desvantagem de necessitar de um grande número de pinos para a saída digital (12 para cada canal). O “*clock*” para o conversor A/D é gerado pelo circuito FPGA e possui uma frequência de 1,5625 MHz.

Os principais sinais lógicos deste conversor A/D disponíveis são:

Clock – sinal lógico que ativa o processo de conversão;

DVA – sinal lógico que indica o dado de saída é válido - 1 “*bit*”;

OVR – sinal lógico que indica se o sinal de entrada está fora da escala (over range) - 1 “*bit*”;

Dados de Saída – barramento de sinal composto por 12 “*bits*”.

4.2.4 – A Placa de Desenvolvimento D2SB

A D2SB é uma placa desenvolvida pela Digilent Inc, como mostrado na Figura 4.3, com o condicionamento de sinais necessário para a sua alimentação, assim como, entradas e saída dos sinais para comunicação com outras plataformas, possibilitando a implementação de diversos circuitos digitais no FPGA através de uma descrição de “*hardware*” e comunicação externa com outros circuitos digitais, como por exemplo, comando para acionamento de interruptores semicondutores.

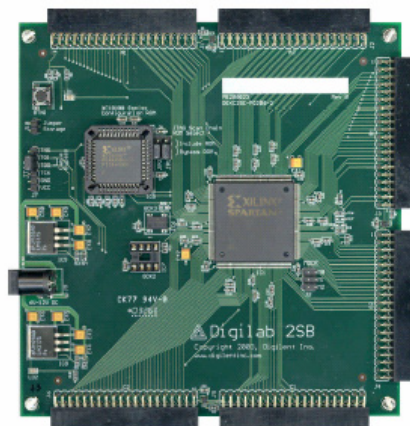


Figura 4.3 – Fotografia da placa D2SB da Agilent.

Esta placa de sistema provê a alocação do FPGA XC2S200E-200 com 200000 “*gates*” disponíveis (portas lógicas) com frequência de operação de até 200 MHz e 208 pinos (“*package*” 208), sendo 143 I/Os endereçados para 6 blocos de expansão de 2x20 pinos cada. Esta placa permite a interligação com outra placa de sistema, como por exemplo a DIO4, também da Digilent, propiciando a análise do funcionamento e/ou teste da lógica implementada. Além disso, este periférico possibilita a interconexão de periféricos de uso geral utilizando portas VGA, paralela, serial, PS/2, JACK, USB, Ethernet [48].

A D2SB é totalmente compatível com o software da Xilinx, inclusive com a versão disponível na Internet. Entre as suas principais características podem ser destacadas:

- 1 - Porta de conexão para programação JTAG – “*Joint Test Action Group*”;
- 2 - Soquete para memória ROM programável via JTAG;
- 3 - Oscilador de 50 MHz e soquete para um segundo oscilador;
- 4 - Disponibiliza um “*led*” e um “*push button*” para teste.

4.2.4.1 – Característica dos blocos de expansão

A Figura 4.4 apresenta os blocos de expansão [48].

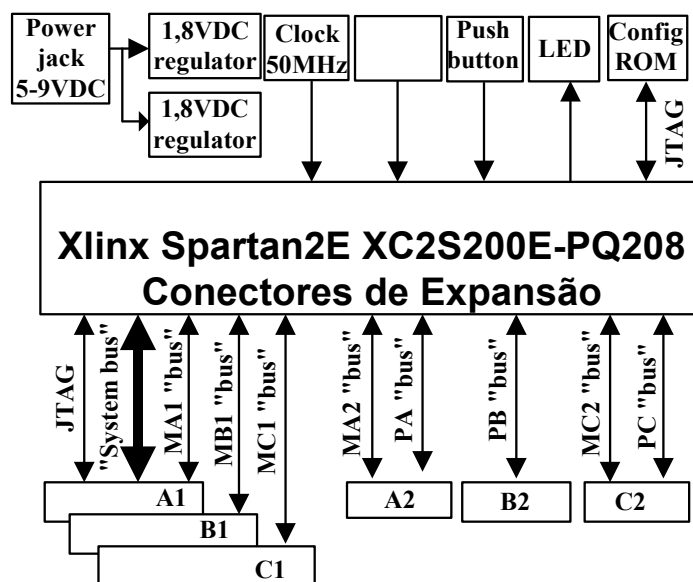


Figura 4.4 – Diagrama de blocos do D2SB.

Cada um dos seis blocos (A1, B1, C1, A2, B2 e C2) é constituído por 40 pinos com os seguintes sinais:

Pino 1 – GND

Pino 2 – VU (“*unregulated supply voltage*”)

Pino 3 – “*regulated supply voltage*” (3.3V)

Os sinais de I/O (pinos 4 a 35) são endereçados diretamente para o FPGA enquanto que os pinos de 36 a 40 são reservados para JTAG e/ou sinais de osciladores.

Os blocos A1, B1 e C1 possuem um barramento comum denominado “*system bus*” entre os pinos 4 e 21, totalizando 18 pinos, enquanto que os restantes (14 I/Os) são endereçados individualmente para as conexões destinadas à expansão.

Os 18 pinos de I/Os (4 a 21) de A2, B2 e C2 são designados ao barramento periférico denominados PA, PB e PC.

Os 14 pinos de I/Os (22 a 35) foram desenvolvidos como “*module busses*”. Os blocos A1, A2, C1 e C2 contêm todos os sinais do “*module busses*” e são denominados (MA1, MA2, MC1 e MC2). Como o FPGA não contém uma quantidade de I/O suficiente para preencher todos os blocos completamente, o bloco B1 está limitado a 8 pinos de dados provenientes do “*module busses*” denominado MB1 enquanto o bloco B2 não contém conexão com esse barramento.

O JTAG é um protocolo de comunicação e varredura bidirecional, regulamentado pelo IEEE Std 1149.1 utilizada pela D2SB para programar o FPGA e/ou a memória ROM e/ou um outro periférico programável conectado nas portas A1, B1 ou C1. A porta de comunicação entre o micro e a placa D2SB (Port 1) é composta por 6 pinos padrão JTAG que recebe o cabo JTAG3 padronizado pela Digilent. Para o caso de não se ter periféricos conectados à placa D2SB, automaticamente estes pinos ficarão desabilitados. Quando se conecta um módulo programável Digilent existem conexões JTAG habilitadas nos conectores de expansão, assim, um módulo pode ser programado via JTAG, como por exemplo, com protocolo Ethernet, USB, porta paralela EPP e porta serial.

A cadeia de varredura pode ser direcionada à porta primária pela alimentação da placa D2SB, conectando o cabo de programação entre o PC e a placa e executando o programa de configuração e reconhecimento da placa. O “*software*” de configuração possibilita a programação do FPGA por qualquer arquivo contendo os dados da descrição de hardware (arquivo de programação). Se não existir uma ROM programada presente no socket IC5 (ou se a memória ROM está presente, mas está fora da cadeira de varredura setada pelos “*jumpers*” JP1 e JP2) sempre haverá a necessidade de uma nova programação do FPGA com JP1 e JP2 na posição “*Bypass ROM*”. Caso contrário, JP1 e JP2 devem ser

posicionados em “*Include ROM*” tornando possível a programação da ROM ou a programação do FPGA via ROM.

Se uma ROM programada está presente no socket IC5 o FPGA será automaticamente carregado desde que os “*jumpers*” M0, M1 e M2 estiverem conectados (presentes).

Módulos conectados aos blocos A1, B1, ou C1 podem ativar a cadeia de varredura (protocolo JTAG), se um “*jumper*” for conectado entre os pinos TDI e TDO do JTAG primário. Este caso poderia ser aplicado para, por exemplo, associação de FPGA's.

4.2.4.2 – Fontes de Alimentação

A regulação da alimentação da placa D2SB é provida por dois reguladores de tensão LM317 que produzem 1,8 VCC para o FPGA (Spartan 2E) e 3,3 VCC para a cadeia de entradas e saídas (I/O's). A alimentação geral da placa pode ser suprida por uma fonte CC não regulada de tensão entre 6 e 12 V.

A corrente total da placa depende da configuração do FPGA, da frequência do oscilador (“*clock*”) e de conexões externas. Em um circuito com aproximadamente 50000 portas lógicas roteadas, um oscilador de 50 MHz e apenas uma placa de expansão conectada (por exemplo, DIO4), é drenada da fonte de tensão de 1,8 V uma corrente de aproximadamente 200 mA \pm 30%, e, de aproximadamente 200 mA \pm 50% da fonte de tensão de 3,3 V. Essas correntes são fortemente dependentes da configuração das placas periféricas conectadas.

Todos os sinais de I/Os usam uma tensão VCCO oriunda da fonte de tensão de 3,3 V.

4.2.4.3 – Oscilador (“*clock*”)

A placa D2SB fornece um oscilador primário SMD de 50 MHz e socket para um oscilador secundário. O oscilador primário é conectado ao pino 182 à entrada GLK2 do Spartan 2E, e o oscilador secundário são conectados ao pino 185 à entrada GCLK3. Ambos os osciladores de entrada podem ativar as DLL no Spartan 2E permitindo frequências internas maiores que quatro vezes a frequência do oscilador externo. Qualquer oscilador de 3,3 V com encapsulamento DIP de oito pinos podem ser alocados como oscilador secundário.

4.2.4.4 – “Pushbutton” e “LED”

Um “pushbutton” e um “LED” são disponíveis na placa permitindo a verificação, avaliação e controle da descrição de hardware implementada sem a necessidade de uma outra placa periférica. Como exemplo, o “LED” pode ser acionado para verificar que uma configuração foi feita com sucesso e o “pushbutton” pode ser usado para prover um “reset” independente de outras entradas.

4.2.5 – Circuitos de Condicionamento de Sinais

Conforme discutido no item 4.2.1, há a necessidade de se condicionar o sinal de entrada do conversor A/D, de tal forma que a sua amplitude fique dentro da faixa permitida, ou seja, entre 1,5 V e 3,5 V. No caso deste projeto, têm-se dois sinais a serem condicionados: um é a corrente de referência e o outro é a corrente amostrada. A corrente de referência é obtida a partir da tensão de saída do transformador e tem a forma da tensão de alimentação. Entretanto, a sua amplitude é de 8,48 V, não compatível com a faixa permitida pelo conversor A/D, além de ser alternada (CA), ou seja, valor médio nulo. Assim, deve-se condicionar esta tensão de tal forma que ela passe a ter nível médio CC e ao mesmo tempo utilize o máximo possível da faixa permitida. Assim, propõe-se o circuito esquemático da Figura 4.5 com a finalidade de adequar o sinal de tensão proveniente do sensor de tensão, para o conversor A/D.

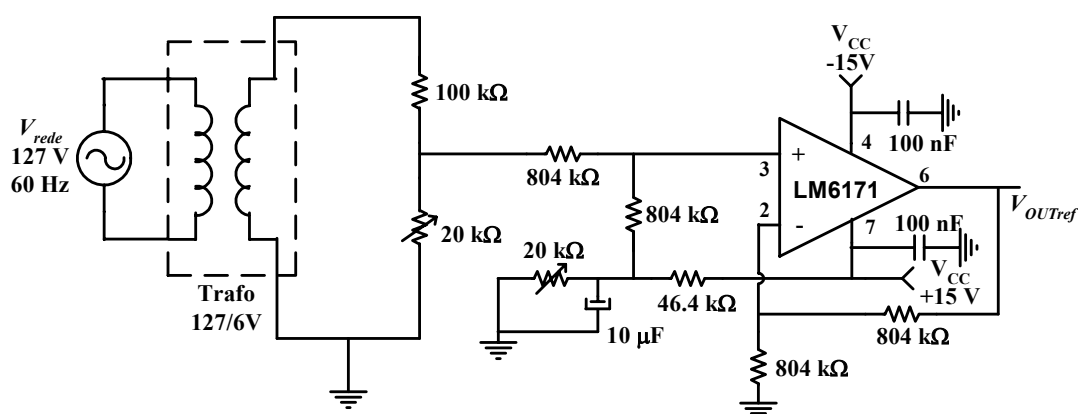


Figura 4.5 – Circuito esquemático do condicionamento de sinal da tensão de referência para entrada no conversor A/D.

Vale observar que a saída V_{OUTref} da Figura 4.5 corresponde à corrente de referência (V_{ref}), estando totalmente compatibilizada com o conversor A/D.

A Figura 4.6 mostra o circuito esquemático para o condicionamento da corrente amostrada proveniente do sensor de corrente (Hall), para entrada no conversor A/D. A tensão de saída do circuito da Figura 4.6 corresponde à corrente sensorada (I_{sens}).

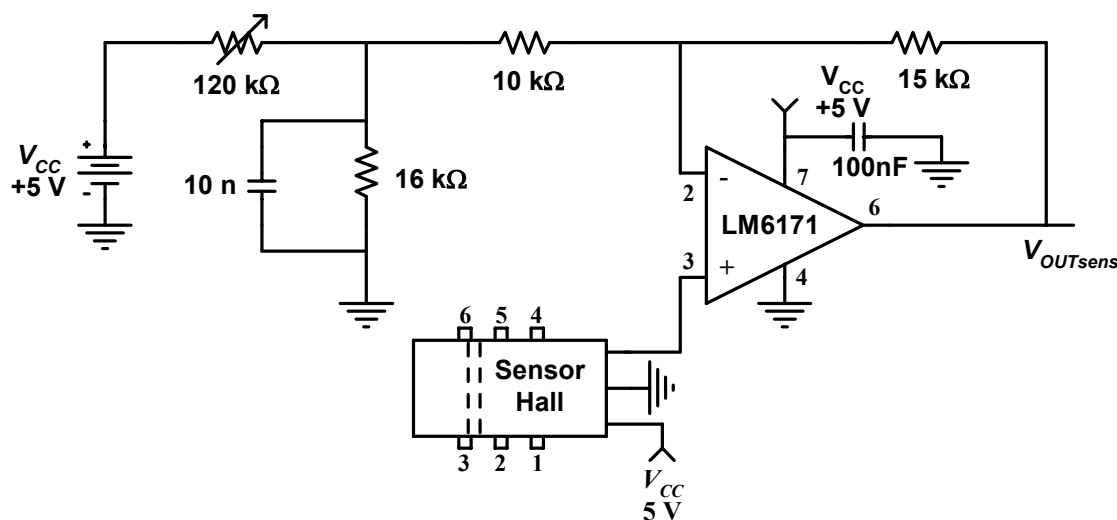


Figura 4.6 – Circuito esquemático do condicionamento de sinal da corrente amostrada para entrada no conversor A/D.

O amplificador operacional utilizado para implementar este estágio de condicionamento para a corrente de referência foi o LM6171BIN da National Semiconductors. Ele tem como principal característica uma derivada muito rápida de subida ($3600 \text{ V}/\mu\text{s}$) para a tensão, além de suportar frequências elevadas.

Através dos circuitos condicionadores anteriores, estabeleceram-se os seguintes limites de tensão para entrada no conversor A/D: máxima tensão ($3,3 \text{ V}$) e a mínima tensão ($1,8 \text{ V}$). Estes valores são conservativos de tal forma a garantir a operação do conversor A/D dentro de seus limites ($1,5 \text{ V}$ a $3,5 \text{ V}$).

4.2.6 – Comando dos Interruptores

Os sinais de comando de “gate” obtidos com o dispositivo FPGA para o acionamento dos interruptores, oriundos da técnica de modulação, requerem amplificação e isolamento, exigindo circuitos especiais adicionais de comando de “gate”.

Um circuito normalmente utilizado para desempenhar esta tarefa é o da Figura 4.7. Observe que esta opção, apesar de ser eficiente, apresenta algumas características indesejadas, uma vez que é necessário confeccionar uma placa de circuito impresso que abrigue o opto-acoplador, o “buffer” de tensão e o “buffer” de corrente o que a torna de

grande dimensão quando comparada a um CI de 8 pinos que desempenha esta mesma tarefa, como por exemplo, o HCPL-3180 [49]. Outros aspectos negativos são: necessidade de duas alimentações de 5 V para o opto-acoplador HCPL7710, atraso de propagação do sinal na ordem de 800 ns (atraso no opto-acoplador, atraso no “buffer” de tensão e no “buffer” de corrente), limitação na frequência de operação, tempo de confecção da placa de CI e soldagem dos componentes.

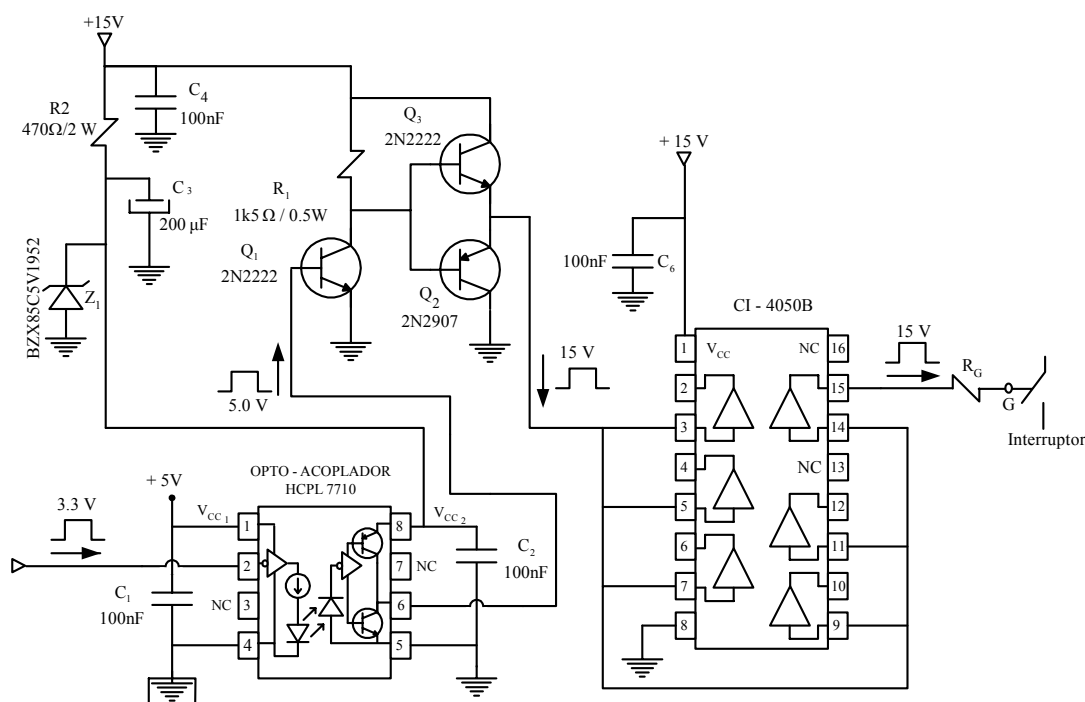


Figura 4.7 – Exemplo de diagrama esquemático para os circuitos de comando de “gate” para os interruptores.

Com o objetivo de se adequar o circuito de comando de “gate” ao circuito de potência, optou-se pela utilização de acoplador ótico e dispositivo fabricado pela Agilent (HCPL-3180), uma vez que o mesmo, além de propiciar a isolação elétrica, propicia o comando direto de interruptores tipo Igbts ou Mosfets de potência, tendo em vista que o buffer de tensão e o “buffer” de corrente são dispositivos internos do componente.

O CI HCPL-3180 da Agilent Technologies Inc. é um acoplador ótico de alta velocidade de resposta, ideal para Mosfets e Igbts. Suas principais aplicações são em fontes de alimentação de alta performance SMPS (“Switching Mode Power Supply”), em fontes de alimentação ininterrupta UPS (“Uninterruptible Power Supply”), no controle e acionamentos de motores e em aplicações em eletrônica de potência em geral onde se utilizam os Mosfets e Igbts. Entre outras características, o HCPL-3180 responde a elevadas frequências de chaveamento (250 kHz) com uma corrente de saída de até 2 A, que é ideal

para as aplicações que requerem elevada performance de chaveamento. Outras características do HCPL-3180 incluem um reduzido atraso de propagação do sinal de no máximo 200 ns, desempenho garantido de operação para temperatura de -40°C até $+100^{\circ}\text{C}$, além de operar com uma alimentação de 10 V a 20 V do lado da saída. O HCPL-3180 pode ser incorporado ao circuito e apresenta bom desempenho quando integrado a circuitos de potência [49]. Fornece ainda excelente isolamento ótica, elevada imunidade a ruídos e bom desempenho e estabilidade em temperaturas mais elevadas, além de rapidez na implementação do circuito de controle e reduzido tamanho da placa de circuito impresso. Especificamente, no caso deste trabalho, serão utilizados quatro circuitos de ataques, de tal forma que o tamanho será reduzido significativamente com o uso do HCPL-3180. Assim, o HCPL-3180 é de fato adequado para dar um padrão analógico confiável aos sinais oriundos do FPGA que têm um padrão LVTTTL de 3,3 V. A Figura 4.8 apresenta o diagrama do HCPL-3180, enquanto que a Tabela 4.2 apresenta as principais condições de operação recomendadas.

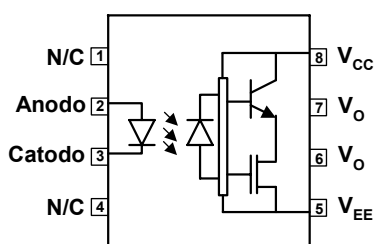


Figura 4.8 – Diagrama do HCPL-3180 da Agilent.

Tabela 4.2 - Principais condições de operação recomendadas.

Parâmetros	Símbolo	Min.	Max.	Unidades
Alimentação	VCC - VEE	10	20	V
Corrente de Entrada (ON)	IF(ON)	10	16	mA
Tensão de Entrada (ON)	VF(OFF)	-3.0	0.8	V
Temperatura	T_A	-40	100	$^{\circ}\text{C}$

A Figura 4.9 apresenta o circuito esquemático implementado utilizando HCPL-3180 como condicionamento para o comando dos interruptores (Mosfets e Igbts).

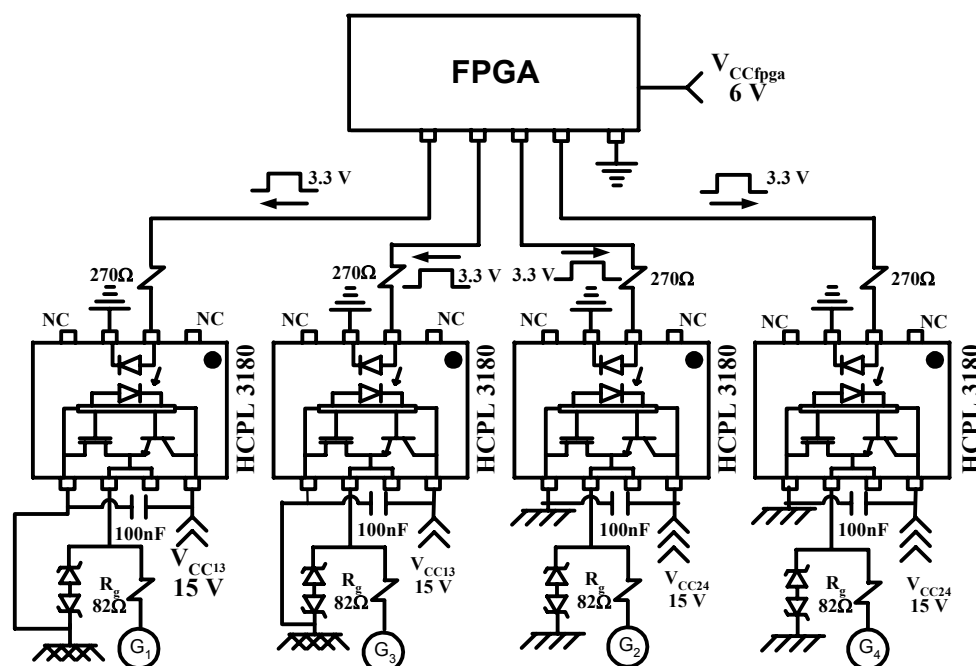


Figura 4.9 – Circuito esquemático do estágio de comando dos interruptores.

4.3 - Especificação dos Semicondutores

A especificação dos interruptores (semicondutores) utilizados na implementação do protótipo está baseada na análise dos resultados obtidos por meio da simulação digital, realizada para a topologia operando como regulador CA de tensão para carga nominal, conforme resultados apresentados no Capítulo 2.

A Tabela 4.3 apresenta os esforços de tensão e corrente em cada interruptor.

Tabela 4.3 – Esforços de tensão e corrente nos interruptores e nos elementos passivos, obtidos através de simulação digital.

	S_1	S_2	S_3	S_4	L	L_m	C_1	C_o
Tensão (eficaz)	-	-	-	-	-	-	127 V	124 V
Tensão (Pico)	390 V	390 V	390 V	390 V	-	-	205 V	182 V
Corrente (eficaz)	2,7 A	2,7 A	2,7 A	2,7 A	2,6 A	2,5 A	2,6 A	3,3 A
Corrente (Pico)	7,5 A	7,5 A	7,5 A	7,5 A	3,9 A	3,6 A	3,9 A	4,4 A
Corrente (média)	1,3A	1,3A	1,3A	1,3A	-	-	-	-

A partir dos dados da Tabela 4.3 foram especificados os semicondutores de potência (interruptores). Considerando-se tais esforços, foram especificados dois Mosfets IRF840 para os interruptores S_1 e S_3 e dois Igbts G7N60A4D para os interruptores S_2 e S_4 . Os Igbts foram utilizados tendo em vista que os mesmos possuem diodos encapsulados mais rápidos durante a recuperação reversa se comparados com os diodos intrínsecos dos Mosfets.

As capacitâncias C_I e C_O foram especificadas como 680 nF e 5 μ F respectivamente, enquanto que as indutâncias L_I e L_2 , calculadas na metodologia de projeto, foram especificadas como sendo iguais a 5,1 mH. Entretanto, há a necessidade de se dimensionar os núcleos para L_I e L_2 , conforme metodologia apresentada no item 4.4.

4.4 - Projeto dos Núcleos para os Indutores

Uma vez determinada a indutância e, de posse da corrente eficaz através dos indutores L_I e L_2 , a metodologia que se segue permite a especificação dos núcleos de ferrite, bem como a quantidade de espiras necessárias para os referidos indutores [46 e 47].

Passo 1) - Calcula-se a seção do fio condutor de cobre (cm^2), através da equação (4.2).

$$S_{cu} = \frac{I_{ef}}{J} \quad (4.2)$$

Onde:

S_{cu} = Seção do fio condutor de cobre (cm^2);

I_{ef} = Corrente eficaz que circula através do fio condutor de cobre (A);

J = Densidade de corrente do fio condutor (A/cm^2).

Passo 2) - Através da equação (4.3) obtém-se o produto da área da perna central do núcleo (A_e) pela área da janela do carretel (A_w), em (cm^4).

$$A_e \cdot A_w = \frac{L_1 \cdot K_c \cdot I_{ef} \cdot I_{pico} \cdot 10^4}{B \cdot J} \quad (4.3)$$

Onde:

K_c = Coeficiente de ajuste dos indutores na área A_w ;

L_1 = Valor da indutância de entrada(H);

B = Densidade de fluxo do núcleo (T);

I_{pico} = Corrente de pico através do fio condutor de cobre (A);

A_e = Área efetiva da seção transversal do núcleo magnético (cm²);

A_w = Área da janela disponível para os enrolamentos (cm²).

Do catálogo do fabricante Thornton escolhe-se um núcleo de ferrite, cujo produto das áreas $A_e.A_w$ seja maior do que o produto das áreas obtido através da equação (4.3).

Passo 4) - Calcula-se o número de espiras do fio condutor de cobre, através de (4.4).

$$N_e = L \cdot \frac{I_{pico} \cdot 10^4}{B \cdot A_e} \quad (4.4)$$

Onde:

N_e : Número de espiras.

Passo 5) – O cálculo do entreferro (cm) é de acordo com a equação (4.5).

$$L_g = \frac{\mu_0 \cdot A_e \cdot N_e^2 \cdot 10^{-2}}{L} \quad (4.5)$$

Onde:

L_g = Comprimento do entreferro.

Logo, determina-se o núcleo do indutor de entrada, com Indutância L_1 , com os seguintes dados:

L_1 = 5,1mH;

$I_{1(ef)}$ = 2,5A

I_{1pico} = 3,6A

f_s = 60Hz

K_c = 1,42

J = 450 A/cm²

μ_0 = $4 \cdot \pi \cdot 10^{-7}$

B = 0,30 T

Com o objetivo de se ter um melhor acoplamento, menor dispersão e redução no tamanho dos núcleos para os indutores L_1 e L_2 , adotou-se a técnica de indutores acoplados, conforme [51].

Para efeito de visualização propõe-se a Figura 4.10 onde se mostra um núcleo do tipo UU estilizado com os seus principais parâmetros.

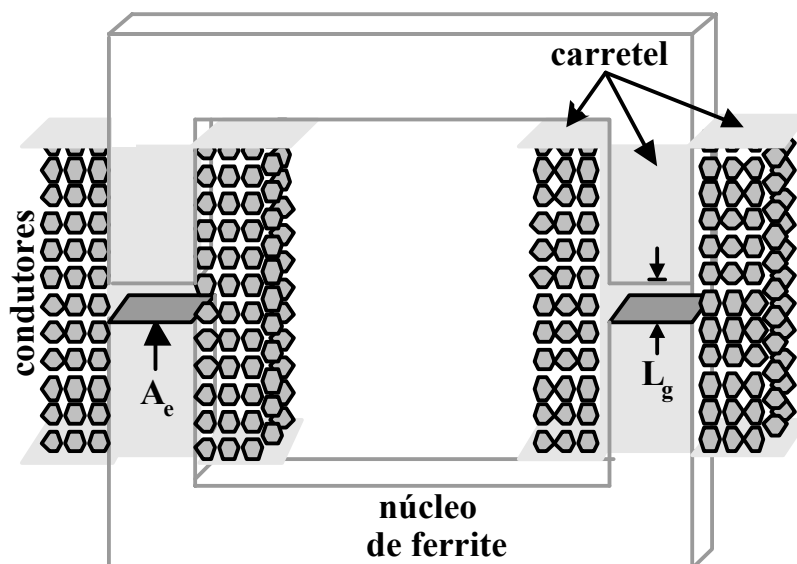


Figura 4.10 - Núcleo tipo UU com seus principais parâmetros.

Para o produto $A_e \cdot A_w$ calculado de 5.437 cm^4 e do catálogo da Thornton, optou-se pelo núcleo de ferrite tipo IP12 UU 65/26. Ressalta-se, entretanto, que para o núcleo UU, a janela (A_w) não constitui uma limitação do ponto de vista de espaço físico para a bobina tendo em vista que o mesmo não possui a perna central, como no caso dos núcleos do tipo EE.

Assim:

$$N_e = 235 ;$$

$$L_g = 0,355 \text{ cm};$$

Condutor: AWG 19

Da mesma forma, pode ser calculada a bobina para o indutor L_2 . Como, o indutor L_2 tem as mesmas características do indutor L_1 , ele terá o mesmo número de espiras (235), o mesmo entreferro (0,355 cm) e será utilizado o mesmo condutor (AWG 19).

4.5 – Resultados Experimentais

Nos itens 4.5.1 e 4.5.2 serão apresentados os resultados experimentais para a técnica de modulação por histerese variável do tipo “*Ban-Bang*” e para a técnica de modulação PWM com frequência constante.

4.5.1 – Resultados experimentais para a Técnica de modulação por histerese variável do tipo “*Ban-Bang*”

Em função dos resultados de simulação e projeto apresentados no Capítulo 2, tem-se na Tabela 4.4 um resumo dos dados de especificação para os componentes do estágio de potência do regulador de tensão proposto.

Tabela 4.4 – Especificação para os componentes do estágio de potência do regulador Sepic

Componente	Especificação
L_1 (acoplado a L_2)	5,1 mH, Núcleo IP12 Tipo UU-65/26, fio 19 AWG, entreferro 0,355 cm
L_2 (acoplado a L_1)	5,1 mH, Núcleo IP12 Tipo UU-65/26, fio 19 AWG, entreferro 0,355 cm
S_1	Mosfet IRF840 – 500 V/8 A
S_2	Igbt G7N60A4D – 600 V/7 A
S_3	Mosfet IRF840 – 500 V/8 A
S_4	Igbt G7N60A4D – 600 V/7 A
C_1	Capacitor 680 nF/250 V - MKT
C_2	Capacitor 5 μ F/660 V – 50/60 Hz (Siemens)

Uma vez determinados todos os parâmetros do conversor, na Figura 4.11 apresenta-se o circuito de potência implementado, com os componentes especificados.

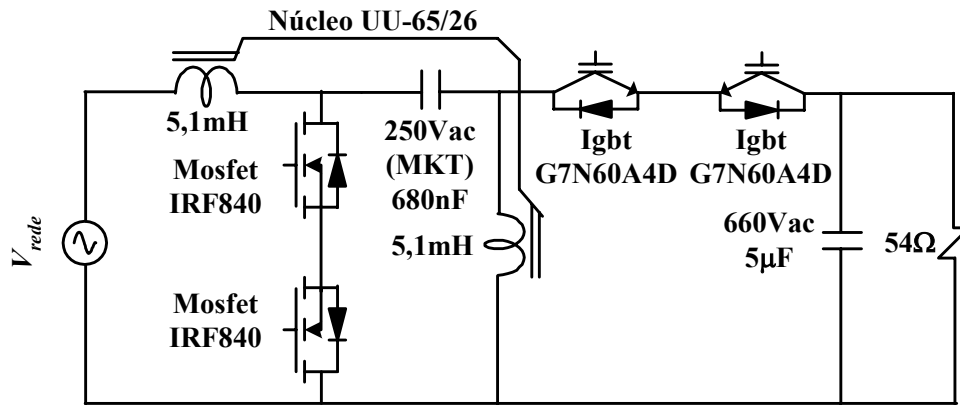
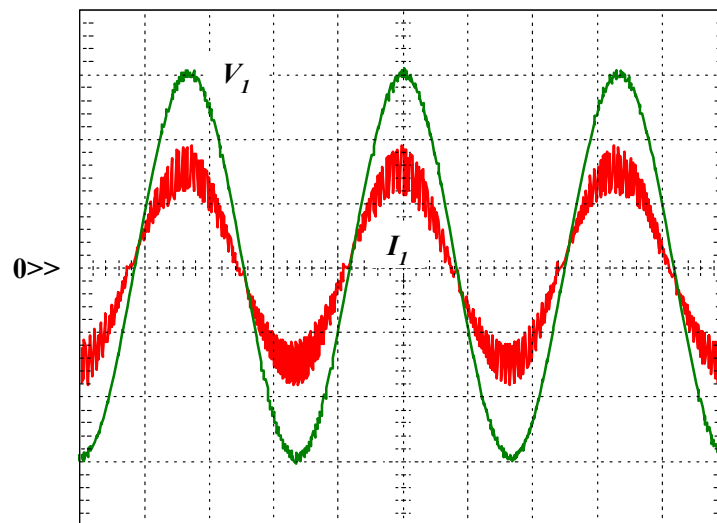


Figura 4.11 – Circuito de potência implementado, com os elementos e os componentes semicondutores especificados.

Todos os resultados experimentais apresentados neste capítulo foram obtidos com alimentação em CA, com a finalidade de se verificar a funcionalidade da estrutura de comando implementada e os resultantes esforços de corrente e tensão nos elementos da estrutura. Os resultados experimentais apresentados a seguir são para o conversor operando com aproximadamente 80% da carga nominal.

As formas de onda da tensão de entrada e da corrente de entrada estão apresentadas na Figura 4.12.



Escala vertical: V_1 : 50 V/div; I_1 : 2 A/div
Escala horizontal: 5 ms/div;

Figura 4.12 – Tensão e corrente na entrada considerando 80% da carga nominal.

Pode ser verificado da Figura 4.12 que a tensão de entrada foi ligeiramente distorcida devido ao “ripple” de elevada frequência da corrente de entrada. Vale salientar que se fosse introduzido um filtro LC na entrada do conversor este problema poderia ser reduzido.

A corrente de entrada, conforme já mencionado, possui um “ripple” de elevada frequência, o que já era esperado, uma vez que o conversor é chaveado. Apesar da corrente possuir uma DHTI de 3,3%, ainda assim atende plenamente a IEC 61000-3-2, conforme se observa na Figura 4.13. Informa-se adicionalmente que apesar de se ter apresentado o conteúdo até a 15ª harmônica, todas as demais harmônicas (até a 51ª) atendem à referida IEC.

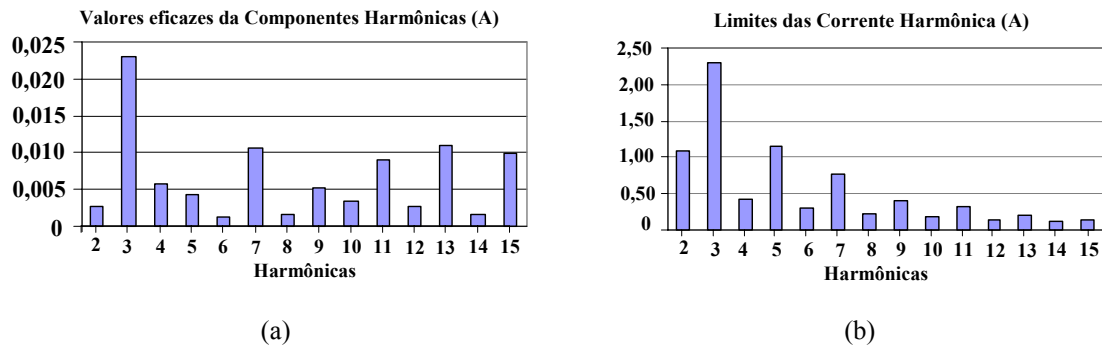


Figura 4.13 – (a) Espectro harmônico da corrente de entrada; (b) Limites das harmônicas de corrente segundo a norma IEC 61000-3-2.

Como se observa na Figura 4.13, a composição harmônica da corrente de entrada atende com folga a norma IEC 61000-3-2. Entretanto, estes resultados podem ainda ser melhorados com a introdução de um filtro de entrada.

A tensão de saída (V_o) e a corrente na carga (I_o) estão apresentadas na Figura 4.14.

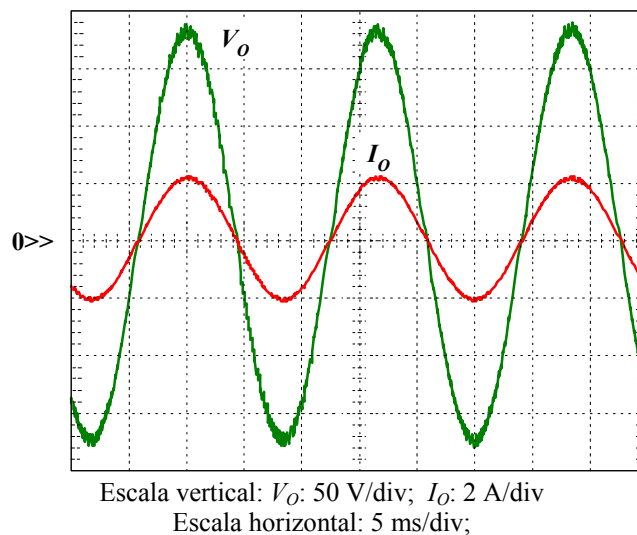


Figura 4.14 – Tensão e corrente de saída considerando 80% da carga nominal.

Com o objetivo de se verificar a qualidade da forma de onda da tensão de saída é apresentado na Figura 4.15 o espectro harmônico, cuja DHTT é de 1,4%. Este resultado pode também ser melhorado com a introdução de um filtro de alta frequência na saída. Conforme se observa na Figura 4.14, a tensão de saída atingiu o seu valor pleno, ou seja, 127V eficazes.

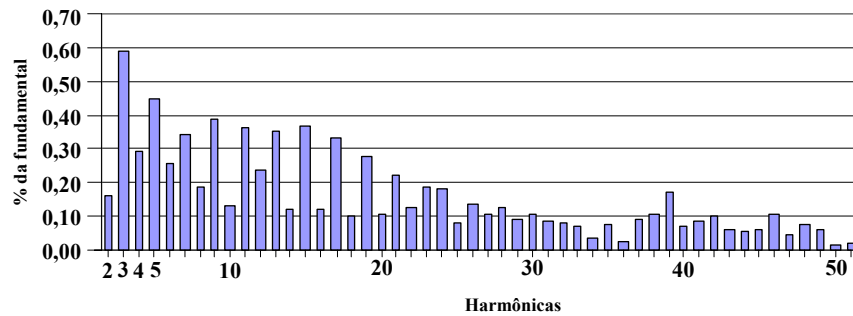


Figura 4.15 – Espectro harmônico da tensão de saída.

A Figura 4.16 apresenta as formas de onda da tensão nos interruptores S_1 e S_3 , enquanto que na Figura 4.17 estão apresentadas as formas de onda adquiridas para as tensões nos interruptores S_2 e S_4 .

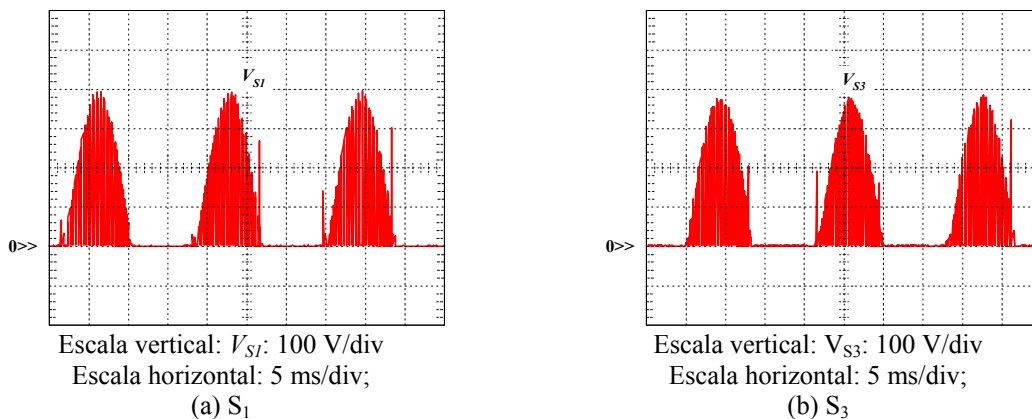


Figura 4.16 – Tensões sobre os interruptores S_1 e S_3 .

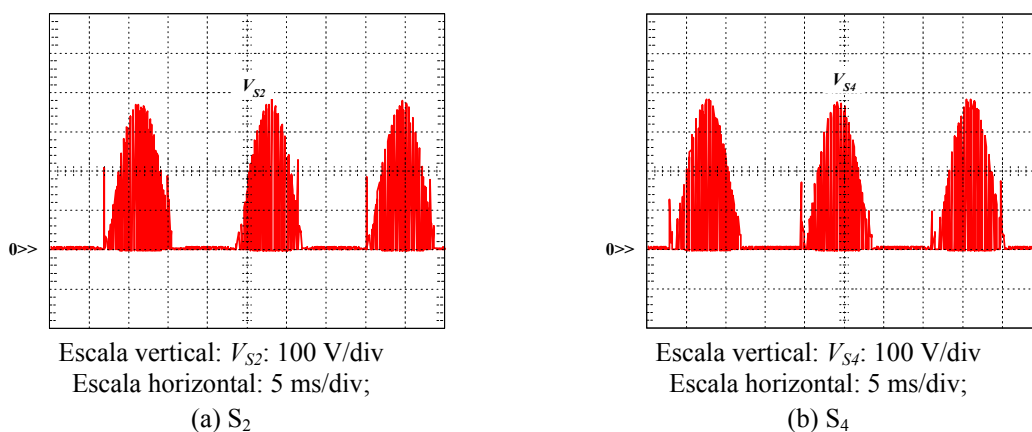


Figura 4.17 – Tensão sobre os interruptores S_2 e S_4 .

No conversor Sepic o esforço de tensão no interruptor corresponde à soma da tensão no capacitor de transferência (V_{CI}) com a tensão de saída (V_O). Assim, os resultados apresentados nas Figuras 4.16 e 4.17 se mostram compatíveis com o esperado, ou seja, em torno de 360 V.

Na Figura 4.18 apresentam-se as formas de onda adquiridas para as correntes nos interruptores S_1 , S_2 , S_3 e S_4 .

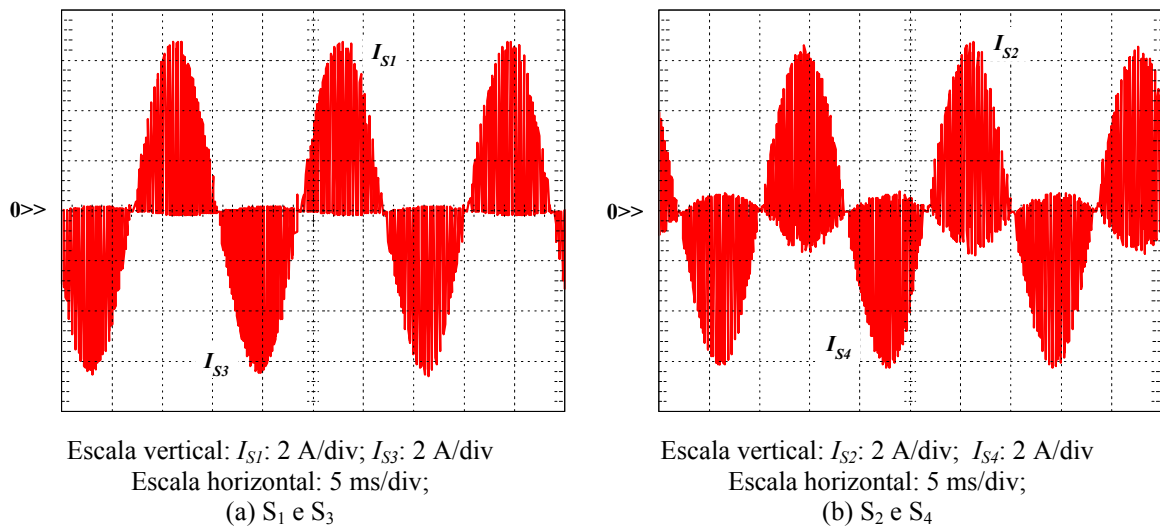


Figura 4.18 – Correntes através dos interruptores S_1 , S_2 , S_3 e S_4 .

Pelo fato dos Mosfets (S_1 e S_3) estarem fisicamente dispostos em anti-série, a aquisição da corrente em um deles não pode ser obtida em separado, assim como para os Igbts (S_2 e S_4). Entretanto, verifica-se na Figura 4.18 que os esforços de corrente encontram-se compatíveis com os valores esperados na análise e simulação.

Na Figura 4.19 têm-se as formas de onda da tensão e corrente através do interruptor S_1 , mostrando o detalhe da entrada em condução e bloqueio do Mosfet. Observa-se que as comutações são dissipativas, tanto na entrada em condução quanto no bloqueio. Informa-se ainda que foram utilizados pequenos “snubbers” ($R_s=100 \Omega$; $C_s=3,3 \text{ nF}$), para os Mosfets e Igbts.

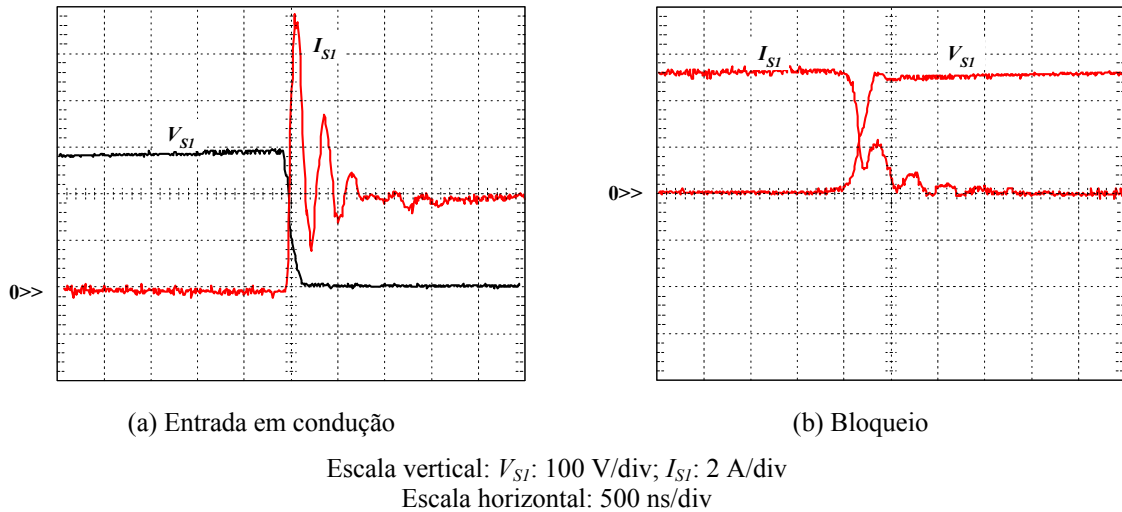


Figura 4.19 – Detalhe das comutações do interruptor Mosfet S_1 .

Na Figura 4.20 apresentam-se os detalhes das comutações para o Igbt S_4 , observando-se no bloqueio a recuperação de seu diodo em anti-paralelo. Vale salientar que esta implementação considerou-se o pulso para os Igbts sempre ativos nos seus respectivos semi-ciclos, ou seja, pulso ativo para o Igbt S_2 no semi ciclo-positivo e pulso ativo para o Igbt S_4 no semi-ciclo negativo, de tal forma que as perdas nos Igbts serão somente durante a condução.

Apesar das comutações dissipativas nos Mosfets e Igbts, estes esforços e perdas não comprometem a performance e rendimento da estrutura proposta, no entanto deve-se sempre estar atento uma vez que existem quatro semicondutores ativos. Portanto, os esforços de corrente poderão provocar a redução do rendimento da estrutura. Neste caso, é recomendado que o conversor não opere com frequências muito elevadas tendo em vista que se utiliza comutação dissipativa.

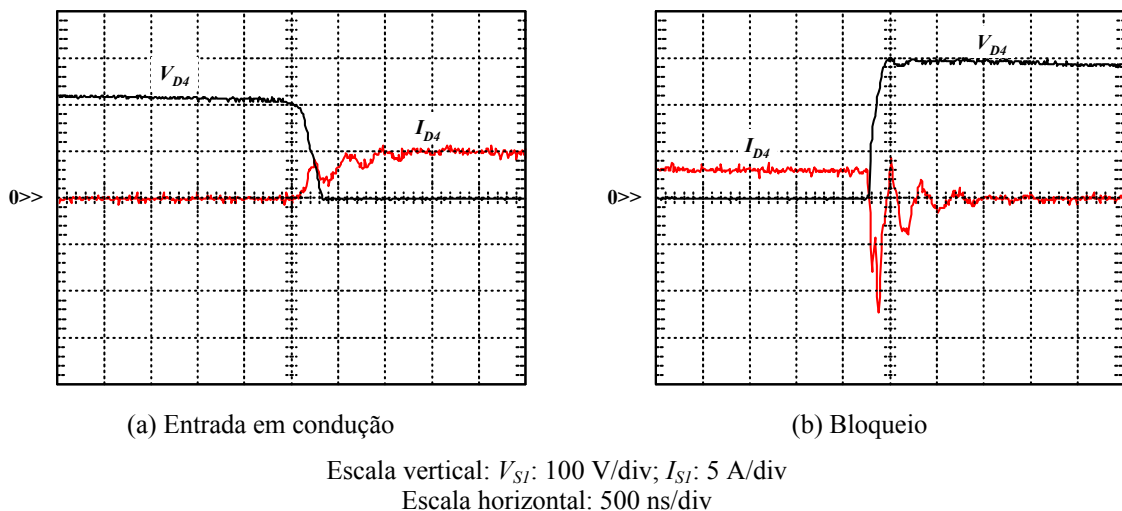


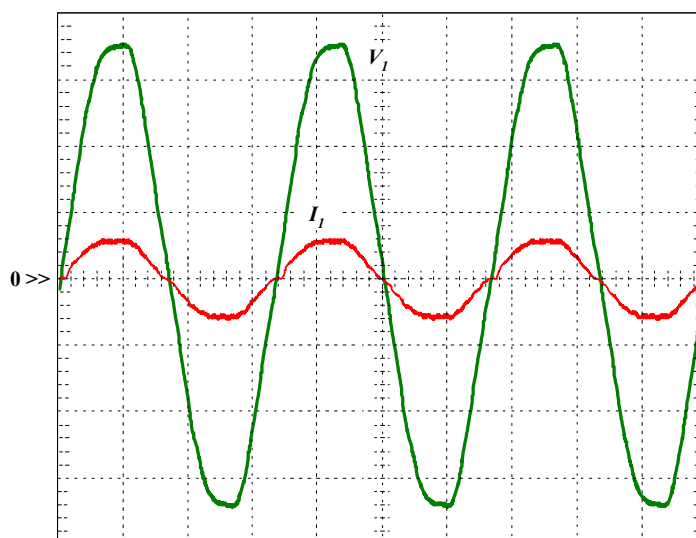
Figura 4.20 – Detalhe das comutações para o Igbt S_4 .

4.5.2 – Resultados experimentais para a Técnica de modulação PWM

A implementação para a modulação PWM está totalmente baseada no resumo dos dados de especificação para os componentes do estágio de potência do regulador de tensão proposto da Tabela 4.4 e o circuito de potência implementado é o mesmo da Figura 4.11.

Informa-se adicionalmente que os resultados experimentais apresentados a seguir são para o conversor operando com aproximadamente carga nominal (95%).

As formas de onda da tensão de entrada e da corrente de entrada estão apresentadas na Figura 4.21.



Escala vertical: V_I : 50 V/div; I_I : 5 A/div
Escala horizontal: 5 ms/div;

Figura 4.21 – Tensão e corrente na entrada considerando 95% da carga nominal.

O achatamento na tensão de entrada é proveniente da presença de 3ª e 5ª harmônicas existentes no barramento de alimentação. A corrente de entrada possui um “ripple” de elevada frequência, o que já era esperado, uma vez que o conversor é chaveado. Observa-se ainda que a corrente de entrada atende plenamente a IEC 61000-3-2, conforme se observa na Figura 4.22. A presença da 3ª e 5ª na corrente de entrada já era esperada tendo em vista que ela já estava presente na tensão de alimentação. Informa-se adicionalmente que apesar de se ter apresentado apenas até a 15ª harmônica, todas as demais harmônicas atendem à referida IEC, entretanto, a distorção harmônica pode ainda ser melhorados com a introdução de um filtro de entrada.

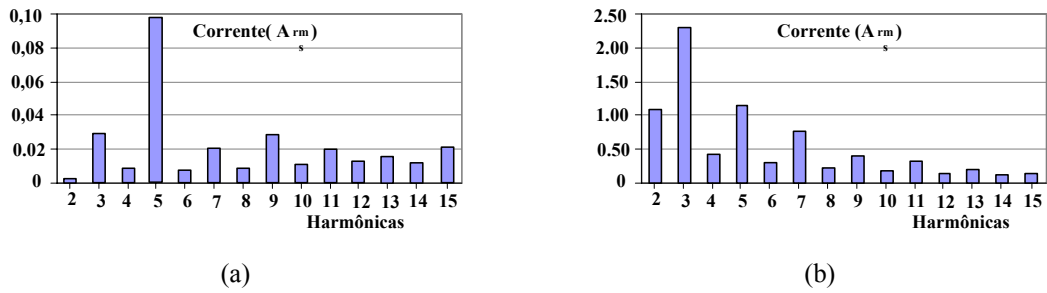


Figura 4.22 – (a) Espectro harmônico da corrente de entrada; (b) Limites das harmônicas de corrente segundo a norma IEC 61000-3-2.

A tensão de saída (V_O) e a corrente na carga (I_O) estão apresentadas na Figura 4.23.

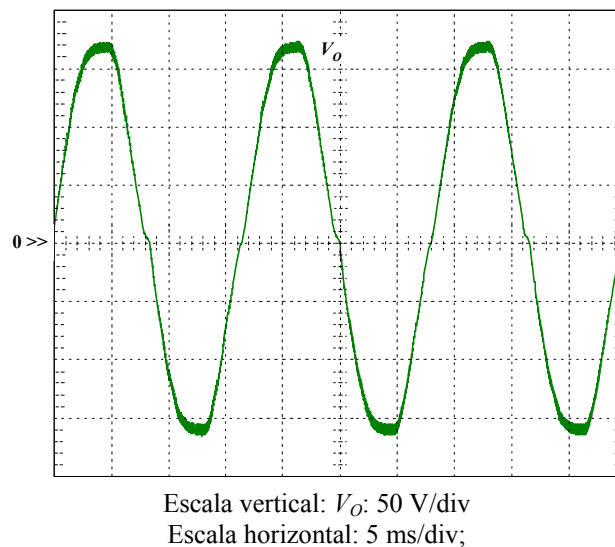


Figura 4.23 – Tensão de saída considerando 95 % da carga nominal.

Com o objetivo de se verificar a qualidade da forma de onda da tensão de saída é apresentado na Figura 4.24 o espectro harmônico, cuja DHTT é de 4.3 %. Este resultado, apesar de ser aceitável (menor que 5%), pode ainda ser melhorado com a introdução de um filtro na saída.

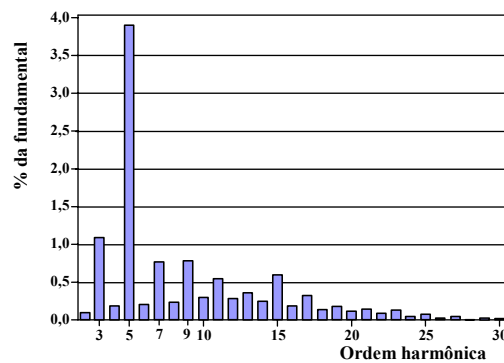


Figura 4.24 – Espectro harmônico da tensão de saída.

A Figura 4.25 apresenta as formas de onda da tensão nos interruptores S_1 e S_2 , enquanto que na Figura 4.26 estão apresentadas às formas de onda adquiridas para as correntes através dos interruptores S_1 , S_2 , S_3 e S_4 .

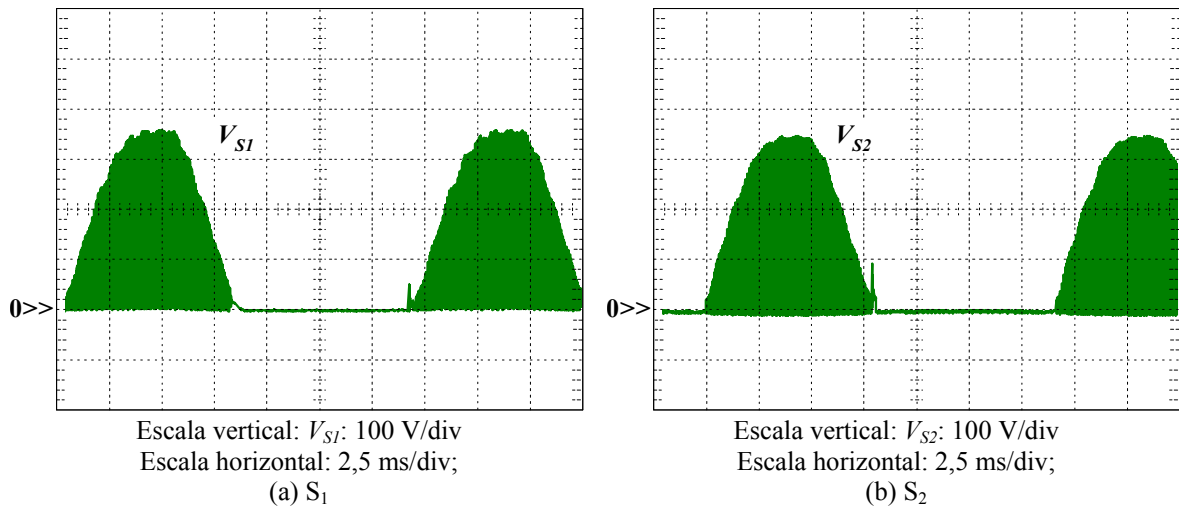


Figura 4.25 – Tensões sobre os interruptores S_1 e S_2 .

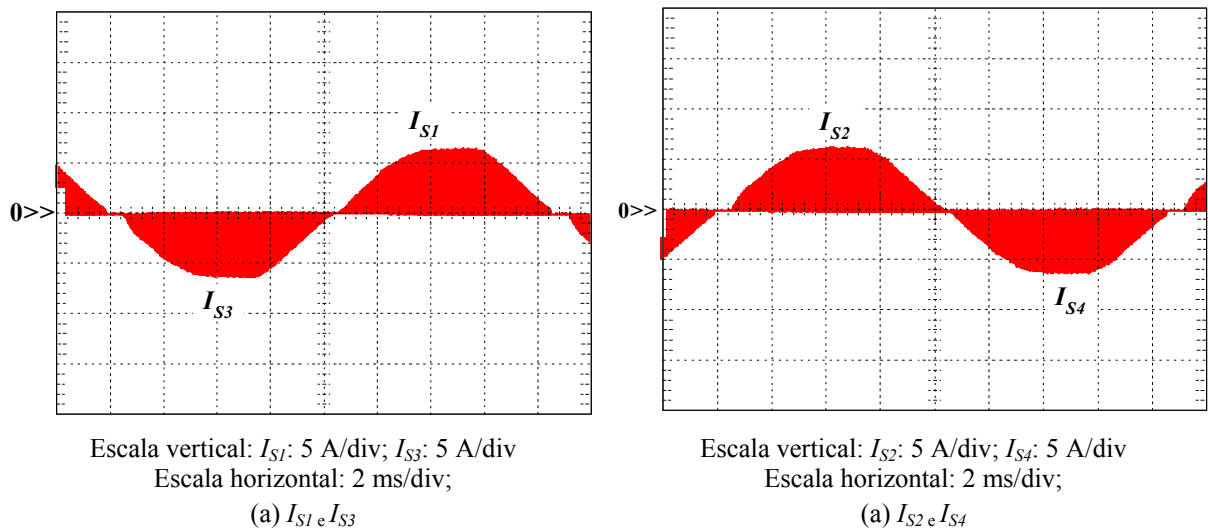


Figura 4.26 – Correntes através dos interruptores S_1 , S_2 , S_3 e S_4 .

Pelo fato dos Mosfets (S_1 e S_3) estarem fisicamente dispostos em anti-série, a aquisição da corrente em um deles não pode ser obtida em separado, assim como para os Igbts (S_2 e S_4), entretanto, verifica-se que os esforços de tensão (Figura 4.25) e os esforços de corrente (Figura 4.26) encontram-se compatíveis com os valores esperados na análise e nos resultados de simulação.

Na Figura 4.27 (a) têm-se as formas de onda da tensão e corrente através do interruptor S_1 , mostrando o detalhe da entrada em condução e bloqueio do Mosfet (S_1), enquanto que na Figura 4.27 (b) apresenta-se as formas de onda da tensão e corrente

através do Igbt (S_2). Observa-se que as comutações são dissipativas, tanto na entrada em condução quanto no bloqueio. Informa-se ainda que estes resultados foram obtidos sem qualquer tipo de “snubber”.

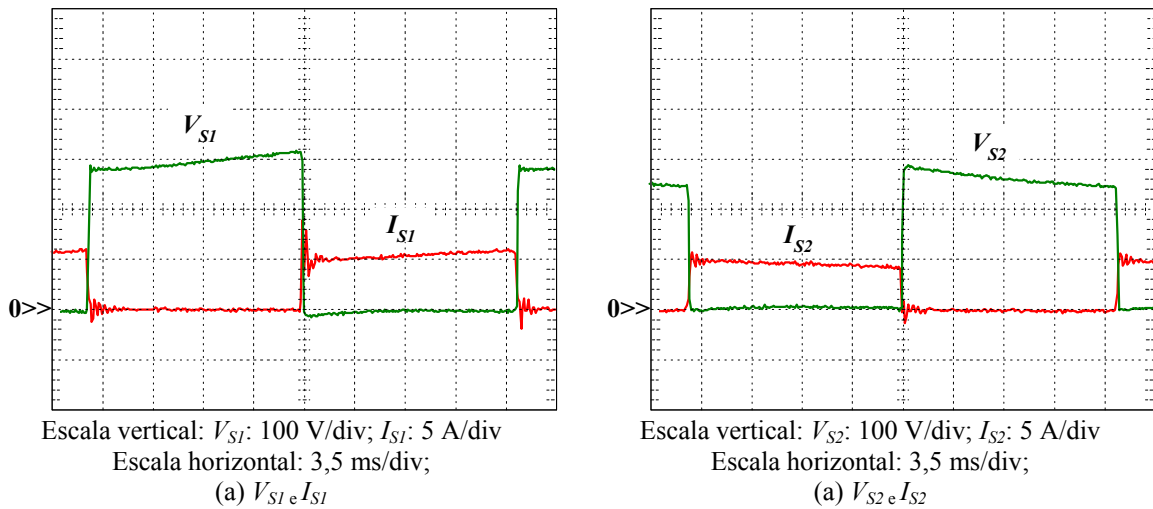


Figura 4.27 – Detalhes da comutação e do bloqueio para os interruptores S_1 (Mosfet) e S_2 (Igbt).

A Figura 4.28 (a) apresenta a forma de onda através do indutor de magnetização, onde pode ser observada a sua semelhança com a corrente de entrada I_1 . A tensão sobre o capacitor de acumulação C_2 está apresentada na Figura 4.28 (b).

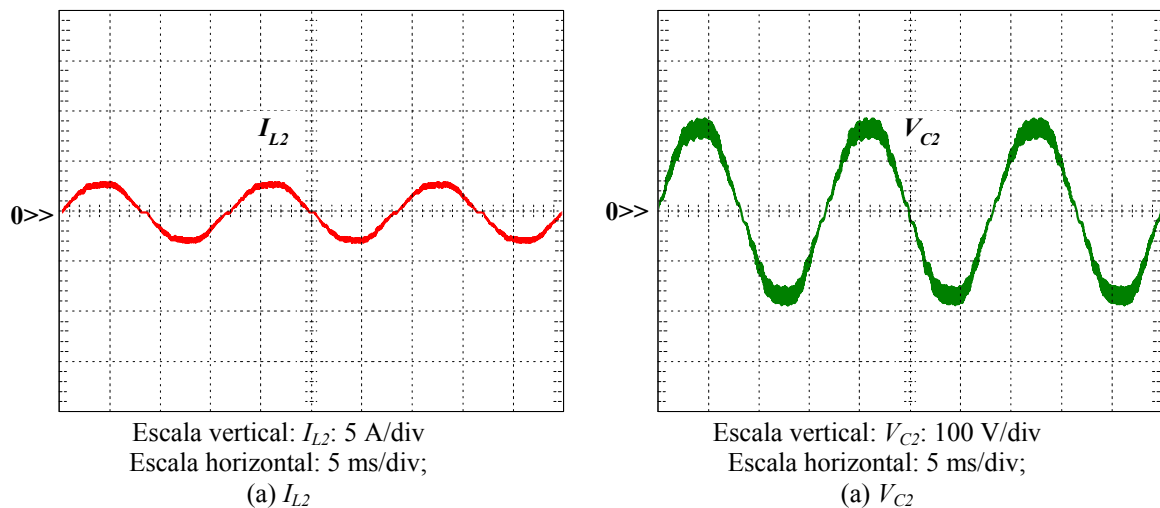
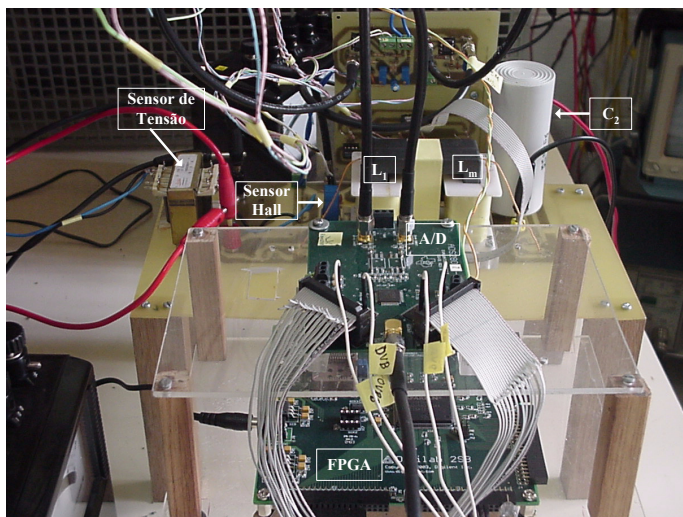
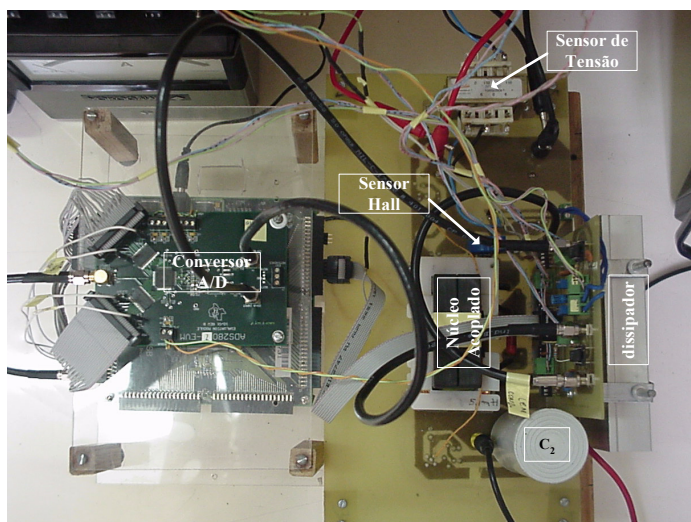


Figura 4.28 – (a) Forma de onda da corrente através do indutor de magnetização (L_2); (b) Forma de onda sobre o capacitor de acumulação (C_2).

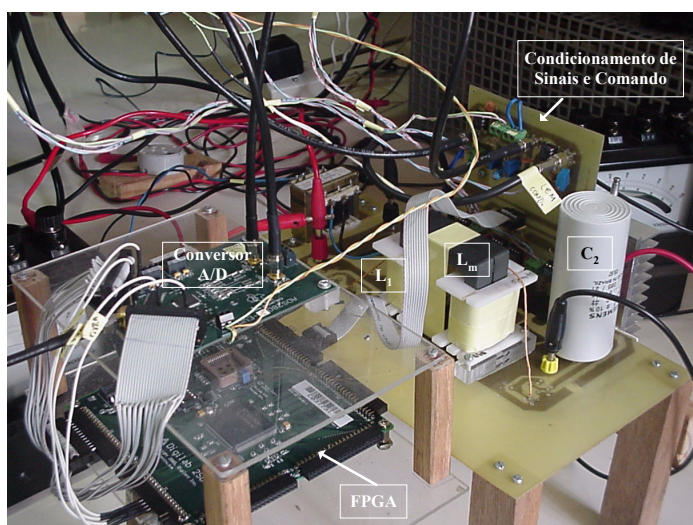
Na figura 4.29 apresenta-se algumas fotos da montagem do protótipo implementado em laboratório.



(a) – Vista frontal.



(b) Vista superior.



(c) Vista lateral direita.

Figura 4.29 - Fotos da montagem do protótipo implementado em laboratório.

4.6 – Conclusões

Neste capítulo foram discutidos alguns aspectos referentes à implementação física do protótipo do regulador CA proposto.

Alguns detalhes da implementação física do circuito de controle também foram abordados, envolvendo o módulo de desenvolvimento FPGA da Xilinx, com dispositivo Spartan-III.

Foram ainda apresentados detalhes do conversor A/D utilizado, do circuito de condicionamento de sinais implementado e do circuito de ataque dos interruptores principais e auxiliares.

O condicionamento de sinais, tanto para a corrente de referência quanto para a corrente amostrada, foi eficaz, propiciando ajustes de “*offset*” e de amplitude dos sinais de entrada para o conversor A/D.

O conversor A/D também se mostrou apropriado, uma vez que ele está operando bem abaixo da sua capacidade de conversão. Entretanto, alguns cuidados devem ser tomados, devido ao fato do mesmo ser do tipo “*pipelined*” e disponibilizar o dado somente após 6 ciclos de “*clock*”. Isto pode de fato ser um problema, principalmente quando se opera o conversor A/D em frequências muito baixas, como é o caso ($\cong 1,5$ Mhz).

Quanto ao FPGA, foi comprovado a sua versatilidade para a implementação do controle digital proposto. Além da facilidade da implementação, ressalta-se a forma simples de se fazer alterações no projeto digital. Basta fazer uma alteração no código VHDL, sintetizar o componente e posteriormente implementá-lo, sem a necessidade de mudanças na placa de circuito impresso. Alguns cuidados devem ser tomados no que se refere aos sinais de saída, tendo em vista que o FPGA tem limitações quanto ao número de saídas simultâneas e potência total de saída, dependendo da configuração utilizada. No caso deste projeto utilizaram-se 4 saídas de 12mA, o que corresponde ao padrão de saída LVTTTL – “*Fast Slew Rate*”. Caso necessário, o FPGA também disponibiliza “*buffers*” de saída para garantir que a corrente não ultrapasse um determinado valor. A sua saída LVTTTL é de 3,3 V, portanto insuficiente para acionar Mosfets ou Igbts.

O optoacoplador (“*drive*”) HCPL 3180 é um CI de 8 pinos adequado para o comando dos interruptores, uma vez que ele propicia ao mesmo tempo a isolamento elétrica entre o circuito de controle e o circuito de potência, fornecendo a energia necessária para o ataque aos Mosfets e aos Igbts, com elevada capacidade de frequência de chaveamento e reduzido tempo de subida do pulso.

Quanto aos resultados experimentais obtidos para a corrente de entrada e tensão de saída, para as duas modulações propostas, verificou-se que atenderam plenamente as características desejadas para a proposta para os dois tipos de modulação implementada, ou seja, modulação por histerese variável do tipo “*Bang-Bang*” e modulação PWM.

Observa-se ainda que os resultados apresentados para as harmônicas da corrente de entrada atenderam plenamente as restrições impostas pela norma IEC 61000-3-2, classe A, considerando-se a alimentação com carga linear (resistiva).

Os resultados para a tensão de saída demonstraram a validade da proposta para a obtenção de tensão senoidal de saída, com reduzida distorção harmônica, atendendo plenamente as condições impostas para a pesquisa.

5 – Conclusões Finais

Apresentou-se e analisou-se neste trabalho o conversor Sepic operando como regulador de tensão alternada, com comutação dissipativa e modulação por histerese variável. Apresentou-se uma metodologia de projeto e os principais resultados obtidos em laboratório, os quais permitem afirmar que o propósito principal desta pesquisa foi alcançado.

A revisão bibliográfica permitiu observar o estado da arte para os conversores CA/CA. Entretanto, foram publicados poucos trabalhos sobre reguladores de tensão CA monofásicos para aplicações em baixas potências, principalmente com controle digital através da utilização de dispositivos lógicos programáveis e VHDL. Assim, este trabalho vem preencher esta lacuna deixada na literatura, principalmente para aplicações de reguladores de tensão para equipamentos de informática.

O desenvolvimento teórico permitiu a compreensão do princípio de funcionamento da estrutura proposta, possibilitando sua aplicação como um regulador de tensão em CA. Além disso, permitiu estabelecer uma metodologia de projeto para determinação dos parâmetros do circuito de potência da estrutura e a simulação através do Pspice, para posterior implementação em laboratório de um protótipo funcional.

Pode-se observar, através dos resultados de simulação e experimentais, que a estrutura proposta apresentou as características desejadas como regulador de tensão com elevado fator de potência e reduzida distorção harmônica na corrente de entrada, mesmo para carga não linear e com malha aberta de tensão. Entretanto, algumas considerações devem ser feitas de modo a destacar cada uma das etapas desenvolvidas ao longo deste trabalho, como se segue.

A linguagem de descrição de “*hardware*” se mostrou uma ferramenta extremamente importante no desenvolvimento da técnica de modulação e controle da estrutura, uma vez que possibilitou a concepção do projeto com extrema rapidez no seu desenvolvimento, com reconfiguração fácil e confiabilidade operacional. Desta forma, a utilização de dispositivos FPGAs, implementados através de uma linguagem de descrição de “*hardware*” (VHDL), é uma ferramenta importante para projetos de controle digital aplicados em eletrônica de potência, com a finalidade de acionamento de interruptores semicondutores de potência.

Observou-se que as técnicas analisadas de correção ativa de fator de potência (modulação PWM, modulação Delta, histerese variável e histerese variável do tipo “*Bang-Bang*”), propiciam elevado fator de potência para a estrutura, com reduzida taxa de distorção harmônica na corrente de entrada. Entretanto, do ponto de vista do controle digital, a modulação por histerese variável controlada do tipo “*Bang-Bang*” e a modulação PWM são as mais simples e de menor custo de implementação, inclusive foram as implementadas na prática.

Os resultados de simulação apresentados, utilizando-se as técnicas de modulação apresentadas, demonstraram que a metodologia desenvolvida foi adequada. Especificamente, obteve-se fator de potência unitário tanto para carga linear quanto para carga não linear. Este fato é importante uma vez que, para este tipo de modulação, o fator de potência não depende da carga, desde que se opte por não garantir a forma de onda da tensão de saída. Vale salientar que a tensão de saída (V_O) quando se utiliza uma carga não linear, por exemplo, um retificador monofásico, apresenta distorção harmônica considerável, de tal forma a “achatar” os picos da tensão de saída.

A ferramenta de simulação permitiu a validação dos componentes sintetizados a partir de um código VHDL, assim como toda a lógica de controle. Os recursos lógicos utilizados não ultrapassaram a 3% dos recursos disponíveis no dispositivo FPGA, além de atender plenamente à máxima frequência de operação permitida pelo sistema. Assim, a implementação do controle digital do conversor Sepic, operando como regulador de tensão, com a imposição da corrente de entrada através da técnica de controle por histerese variável do tipo “*Bang-Bang*” e modulação PWM, foi apresentada.

Dos resultados experimentais, pode-se verificar que os esforços de corrente e tensão nos semicondutores encontram-se compatíveis com os componentes especificados, possibilitando confiabilidade funcional para a estrutura.

Ainda, considerando-se os resultados experimentais apresentados para a corrente de entrada e tensão de saída do regulador proposto, verifica-se o pleno atendimento à norma IEC 61000-3-2, resultando numa estrutura com elevado fator de potência, mesmo para alimentação de carga não linear. A distorção harmônica de tensão de saída é praticamente desprezível quando se considera carga linear, e abaixo de 5% na condição de carregamento nominal baseando-se nos resultados de simulação.

A estrutura foi analisada experimentalmente sem qualquer filtro adicional de entrada e/ou de saída. Logicamente, considerando-se carga não linear, deve-se prever o projeto de filtros adicionais, principalmente para o estágio de saída.

Com relação à regulação e estabilização dinâmica de tensão de saída, os resultados de simulação mostraram a sua eficácia.

Portanto, no item a seguir apresentam-se algumas propostas de continuidade desta pesquisa.

6 – Propostas de Continuidade para o Trabalho

Como continuidade do trabalho, propõe-se:

- Projeto de filtros adicionais de entrada e saída, considerando-se o acoplamento de carga não linear;
- Projeto e implementação de um controle digital em malha fechada de tensão e corrente;
- Verificação do funcionamento da estrutura proposta e avaliação das características estáticas e dinâmicas de regulação, considerando-se carga linear e não linear em condições nominais;
- Integração de todas as fontes auxiliares;
- Implementação de circuitos de proteção e sinalização;
- Analisar a possível aplicação de alimentação de cargas sensíveis, quando na presença de distúrbios da tensão de entrada (“sags”, “swells”);
- Análise de outras técnicas de modulação;
- Imposição da forma de onda de saída (por exemplo, senoidal).

7 - Publicações Resultantes do Trabalho

Segue abaixo as seguintes publicações decorrentes desta pesquisa, até o momento.

- [A] DANTAS, F. D.; CANESIN, C. A. A Novel High Frequency Ac Voltage-Regulator with Active Power Factor Correction. in **IEEE-ISIE-International Symposium on Industrial Electronics**, 2003, Rio de Janeiro.1 CD.
- [B] DANTAS, F. D.; CANESIN, C. A. A new high-power-factor AC voltage regulator in high-switching frequency of operation in Congresso Brasileiro de Eletrônica de Potência, 7, 2003, Fortaleza. Anais...Campinas: Sociedade Brasileira de Eletrônica de Potência, 2003. 1 CD.
- [C] DANTAS, F. D.; CANESIN, C. A. Um Novo Regulador de Tensão CA Com Elevado Fator de Potência e Operação com Elevada Frequência de Chaveamento, Revista Ensaios e Ciência, v.7, ISSN 1518-1014, Edição Especial, Campo Grande, p. 95-105, 2003.
- [D] DANTAS, F. D. MORAES, J. B.; PORTELLA, M. L.; SILVA, A. C. R.; CANESIN, C. A. Um Controlador Digital em VHDL Aplicado para a Correção Ativa do Fator de Potência num Regulador de Tensão Alternada”, Revista Ensaios e Ciência, v.7, ISSN 1518-1014, Edição Especial, Campo Grande, p. 39-49, 2003.
- [E] DANTAS, F. D.; CANESIN, C. A. An AC Voltage Regulator with High-Power-Factor, and Control Using a FPGA Device in **Proceedings of the IEEE – IECON 2005 Industrial Electronics Society**, Raleigh, p. 1-7, 2005.
- [F] DANTAS, F. D.; CANESIN, C. A. A high-power-factor ac voltage regulator for linear and non-linear loads (artigo ACEITO), in **IEEE-INDUSCON - Conferência Internacional de Aplicações Industriais**, Recife, 2006.

Referências Bibliográficas

- [1] RASHID, M. H. *Eletrônica de Potência – Circuitos, Dispositivos e Aplicações*, Makron Books, ISBN 85-346-0598, 1999, 828p.
- [2] MOITA, G. F.; KASSICK, E. V.; BARBI, I. An AC Voltage Regulator Employing Power Transistors and a High Frequency Switching Technique, in Congresso Brasileiro De Eletrônica De Potência, 2, 1993, Uberlândia. Anais... Campinas: Sociedade Brasileira de Eletrônica de Potência, p. 302-307, 1993.
- [3] BARBI, I.; KASSICK, E. V.; FAGUNDES, J. C. A Novel Family of PWM High Frequency AC Choppers, In Congresso Brasileiro De Eletrônica De Potência, 2, 1993, Uberlândia. Anais... Campinas: Sociedade Brasileira de Eletrônica de Potência, p. 102-107, 1993.
- [4] VENKATARAMANAN, G. A family of PWM converters for three phase AC power conditioning, in **Proceedings of the 1996 International Conference**, vol. 1, p. 572-577, 1996.
- [5] FEDYCZAK, Z.; STRZELECKI, R.; BENYSEK, G. Single-phase PWM AC/AC semiconductor transformer topologies and applications, in **Proceedings of the IEEE - PESC 2002 Power Electronics Specialists Conference**, Cairns, v. 2, p. 1048-1053, 2002.
- [6] OLIVEIRA, J. C.; FREITAS, L. C.; COELHO, E. A. A.; FARIAS, V. J.; VIEIRA Jr, J. B. A PWM AC/AC Half-Bridge Converter, in Congresso Brasileiro De Eletrônica De Potência, 3, 1995, São Paulo. Anais... Campinas: Sociedade Brasileira de Eletrônica de Potência, p. 497-502, 1995.
- [7] LI, L.; CHEN, D. Phase- Shifted Controlled Forward AC/AC Converters with High Frequency AC Link, in **Proceedings of the PEDS 2003 International Conference on Pumps, Electromechanical Devices**, Valencia, v. 1, pp. 172-177, 2003.
- [8] CHEN, D.; LI, L.; LIN, S.; SONG, C. Novel current mode AC/AC converters with high frequency AC link, in **Proceedings of the PEDS 2003 International Conference on Pumps, Electromechanical Devices**, Valencia, v. 1, pp. 162-166, 2003.

- [9] BARBI, I.; FAGUNDES, J. C.; KASSICK, E. V. A Compact AC/AC Voltage Regulator Based on a AC/AC High Frequency Flyback Converter, in **Proceedings of the IEEE – PESC 1997 Power Electronics Specialists Conference**, Cambridge, p. 846-852, 1991.
- [10] OLIVEIRA, J. C.; FREITAS, L. C.; COELHO, E. A. A.; FARIAS, V. J.; VIEIRA Jr., J. B. A half-bridge PWM AC/AC converter, in **Proceedings of the IEEE – APEC 1996 Applied Power Electronics Conference**, San Jose, vol. 2, pp. 709-715, 1996.
- [11] OLIVEIRA, J. C.; FARIAS, V. J.; FREITAS, L. C.; VIEIRA Jr., J. B. A serial regulator using a soft switching PWM AC/AC full bridge-converter, in **Proceedings of the IEEE – PESC 1999 Power Electronics Specialists Conference**, Charleston, vol. 1 p. 193-198, 1999.
- [12] OLIVEIRA, J.C.; SILVA, E. A. S.; FARIAS, V.J.; FREITAS, L. C.; VIEIRA Jr, J. B. Two AC/AC regulators studied in a comparative way: the serial AC link regulator and the boost/inverter converter, in **Proceedings of the IEEE – APEC 2000 Applied Power Electronics Conference**, New Orleans, vol. 2, p. 868-874, 2000.
- [13] OLIVEIRA, J. C.; BISSOCHI Jr., C. A.; VINCENZI, F.; FARIAS, V. J.; FREITAS, L. C. and VIEIRA Jr., J. B. A proposed of an AC/AC serial regulator using a capacitor as the serial component, in **Proceedings of the IEEE – APEC 2000 Applied Power Electronics Conference**, New Orleans, vol. 2, p. 875-879, 2000.
- [14] REIS, J. A.; BISSOCHI Jr., C. A.; FARIAS, V. J.; FREITAS, L. C.; VIEIRA Jr., J. B.; COELHO, E. A. A.; OLIVEIRA, J. C. A new AC/AC voltage regulator, in **Proceedings of the IEEE – APEC 2004 Applied Power Electronics Conference**, California, vol. 3, p. 1372-1376, 2004.
- [15] SRINIVASAN, S.; VENKATARAMANAN, G. Comparative evaluation of PWM AC-AC converters, in **Proceedings of the IEEE – PESC 1995 Power Electronics Specialists Conference**, Atlanta, vol. 1, p.529-535, 1995.

- [16] VENKATARAMANAN, G. A family of PWM converters for three phases AC power conditioning, In **Proceedings of the IEEE – PEDS 1996 Power Electronics, Drives and Energy Systems for Industrial**, Growth, vol. 1, p. 572-577, 1996.
- [17] GYUGYI, L. G.; PELLY, B. R. *Static power Frequency changers: theory, performance and applications*, John Wiley and Sons, ISBN 0471678007, 1976, 442p.
- [18] VENTURINI, M. G. B. A new sine wave in, sine wave out, conversion technique eliminates reactive elements, in **Proceedings Powercon**, p. E3-1 - E3-15, 1980.
- [19] ALESINA, A.; VENTURINI, M. G. B. Analysis and design of optimum amplitude nine switch direct AC-AC, **IEEE Transactions on Power Electronics**, New York, vol. 4, n. 1, p.101-112, 1989.
- [20] BURÁNY, N. Safe control of four-quadrant switches, in **Proceedings of the IEEE – IAS 2000 Industry Applications Society Conference**, Roma, p. 1190-1194, 1989.
- [21] RODRIGUEZ, J. A new control technique for AC/AC converters, in **IFAC Control - Power Electronics and Electrical Drives**, Switzerland, p. 203-208, 1983.
- [22] ZIOGAS, P. D.; KHAN, I. and RASHID, M. H. Analysis and design of forced commutated cycloconverter structures with improved transfer characteristics, **IEEE Transactions on Power Electronics**, New York, p. 271-280, 1986.
- [23] HUBER, L.; BOROJEVIC, D. and BURANY, N. Analysis design and implementation of the space vector modulator for forced-commutated cycloconvertors, **IEE Proceedings-B**, March, p. 103-113, 1992.
- [24] CASADEI, D.; SERRA, G.; TANI, A.; ZARRI, L. Matrix converter modulation strategies: a new approach based on space-vector representation of switch state, **IEEE Transactions on Industrial Electronics**, New York, p 370-381, 2002.
- [25] WHEELER, P. W. et al. Matrix converter: a technology review, **IEEE Transaction on Industrial Electronics**, New York, p. 370-381, 2002.

- [26] IMAYAVARAMBAN, M.; LATHA, K.; UMA, G. Analysis of different schemes of matrix converter with maximum voltage conversion ratio, in **Proceedings of the IEEE - Mediterranean Electrotechnical Conference**, Dubrovnik, vol. 3, p. 1137-1140, 2004.
- [27] JANG, D. H.; WON, J. S.; CHOE, G. H. Asymmetrical PWM Method for AC Chopper with Improved Input Power Factor, in **Proceedings of the IEEE – PESC Power Electronics Specialists Conference**, Cambridge, p. 838-845, 1991.
- [28] ENJETI, P. N.; CHOI, S. An Approach to realize Higher Power PWM AC Controller, in **Proceedings of the IEEE –APEC 1993 Applied Power Electronics Conference**, p. 323– 327, 1993.
- [29] LIN, B. R.; HUNG, T. L. and HUANG, C. H. Single-Phase AC/AC converter with capacitor-clamped scheme”, IEE Proceedings, p. 464-470, 2003.
- [30] BEDFORD, B. D.; HOFT, R. G. *Principles of Inverter Circuits*, John Wiley & Sons, 1964, 428p.
- [31] ZHOU, C.; RIDLEY, R .B.; LEE, F. C. Design and analysis of a hysteretic boost power factor correction circuit, in **Proceedings of the IEEE – PESC Power Electronics Specialists Conference**, p. 800-807, 1990.
- [32] DANTAS, F. D.; CANESIN, C. A. A Novel High Frequency ac Voltage Regulator With Active Power Factor Correction, in **Proceedings of the IEEE – ISIE 2003 International Symposium On Industrial Electronics**, Rio de Janeiro, p. 275-279, 2003, 1CD.
- [33] WAKABAYASHI, F. T.; CANESIN, C. A. Retificador pré-regulador boost com elevado fator de potência e rendimento, para sistemas de telecomunicações, **Revista Eletrônica de Potência**, Campinas, v. 7, n. 1, p.71-78, 2002.
- [34] CHANG, K. C. *Digital Design and Modeling with VHDL Synthesis*, IEEE Computer Society Press, ISBN 0-8186-7716-3, 1997, 345p.
- [35] PERRY, D. L. *VHDL Second Edition*, McGraw-Hill, 1993, ISBN 0-07-049434-7, 391p.

- [36] IEEE.Inc., *IEEE Standard VHDL Language Reference Manual* – IEEE 1076-2002, May, 2002;
- [37] SMITH, D. J. HDL Chip Design, Doone Publications, ISBN 0-9651934-3-8, 1997, 447 p.
- [38] PERRY, D. L., *VHDL Programing by Example*, McGraw-Hill, 2002, 475p.
- [39] CHANG, J. M.; AGUN, S. K. “ Design-for-reusability in VHDL”, IEE Computing & Control Engineering Journal, October, 2001, p. 231-239.
- [40] DANTAS, F. D.; CANESIN,C. A. A New High-Power-Factor ac Voltage Regulator In High-Switching Frequency of Operation, in Congresso Brasileiro de Eletrônica de Potência, 6, 1999, Fortaleza. *Anais...* Campinas: Sociedade Brasileira de Eletrônica de Potência, p. 584-589, 2003.
- [41] DANTAS, F. D.; CANESIN, C. A. Um Novo Regulador de Tensão CA Com Elevado Fator de Potência e Operação com Elevada Freqüência de Chaveamento, **Revista Ensaios e Ciência**, Campo Grande, v.7, ISSN 1518-1014, Edição Especial, p. 95-105, 2003.
- [42] DANTAS, F. D.; MORAES, J. B.; PORTELLA, M. L.; SILVA, A. C. R.; CANESIN, C. A. Um Controlador Digital em VHDL Aplicado para a Correção Ativa do Fator de Potência num Regulador de Tensão Alternada, **Revista Ensaios e Ciência**, v.7, ISSN 1518-1014, Edição Especial, p. 39-49, 2003.
- [43] SOARES, J. O.; CANESIN, C. A. A Novel ZVS-PWM Half-Bridge Inverter with Control Using a FPGA Device and VHDL, INDUSCON/04, Joinvile/SC, 2004;
- [44] Current Transducer LTS 15-NP, LEM Datasheet.
- [45] ADS2807- Analog-Digital Converter, Texas Instruments Datasheet SBAS169B, 2000. Disponível em: <http://www-s.ti.com/sc/ds/ads2807.pdf>. Acesso em: 5 de mai. 2004.
- [46] BARBI, I. *Fontes Chaveadas. Florianópolis: Edição do Autor. 2001. 334 p.*
- [47] CANESIN, C. A. *Análise e Projeto de Fontes de Alimentação Chaveadas*, Apostila do Curso de Pós-Graduação.
- [48] DS077-X, “Spartan-II 1.8V FPGA Family: Complete Datasheet”, Xilinx, July/03;

- [49] Agilent HCPL-3180 2.0 Amp Output Current High Speed Gate Drive Optocoupler, Agilent Datasheet, Acesso em: 10 de Jul. 2004.
- [50] SPIAZZI, G.; ROSSETO, L. High-quality rectifier based on coupled-inductor Semic topology, in **Proceedings of the IEEE – PESC Power Electronics Specialists Conference**, p. 336-341, 1994.

APÊNDICE “A”

Programa de Simulação Digital para o Conversor CA Proposto através do Pspice

```

V1 20 0 sin(0 179.605 60 0 0 0)          - alimentação
Vmedio 17 0 sin(0 3.75 60 0 0 0)         - corrente de referência

Vclk 18 0 pulse(0 15 0 250.0n 250.0n 2.5u 5u) - clock de 200kHz

.param Cs=1.0n Rs=300 Cj=100p LS=0.1n
L 20 2 5.1m                               - indutor de entrada do sepic

Exx 11x 0 value={ if((I(L)<V(17)),15,0) }
EM1aux 111 0 value={ if((I(L)>=V(17)&v(17)>=0^I(L)<=V(17)&v(17)>=0),v(11x),0) } - identifica o
semi-ciclo e compara a corrente amostrada com a corrente de referência (semi-ciclo positivo)

XFF 111 18 111a 111b DFF                  - Flip-Flip Tipo D
.SUBCKT DFF D CLK Q QBAR                  - sub-circuito do Flip-Flop D
+optional: DPWR=$G_DPWR DGND=$G_DGND
*
U1 DFF(1)
+ DPWR DGND
+ $D_HI $D_HI CLK
+ D
+ Q
+ QBAR
+ D_PLD_EFF IO_PLD
*
.ENDS

EM1p 11 55 value={ if((v(111a))>=1.0),15,0) } - pega a saída do Flip-Flop e joga um pulso no gate se S1

S1 2a 2b 11 55 chave                      - interruptor S1
DS1 2b 55 diodo                            - diodo série com S1
DS1p 55 2a diodo                            - diodo em anti-paralelo com o interruptor S1

EM2p 13 66 value={ if(V(17)>=0,(15-V(11,55)),0) } - libera pulso para S2 (complementar de S1)

S2 4a 4b 13 66 chave                      - interruptor S2
DS2 4b 66 diodo                            - diodo série com S2
DS2p 66 4a diodo                            - diodo em anti-paralelo com o interruptor S2

Eyy 22y 0 value={ if((I(L)>=V(17)),15,0) }
EM1naux 222 0 value={ if((I(L)<=V(17)&v(17)<=0^I(L)>=V(17)&v(17)<=0),V(22y),0) } - identifica o
semi-ciclo e compara a corrente amostrada com a corrente de referência (semi-ciclo negativo)

XFF2 222 18 222a 222b DFF                 - Flip-Flip Tipo D
EM1n 22 55 value={ if(v(222a))>=1.0,15,0) } - pega a saída do Flip-Flop e joga um pulso no gate se S3

S3 0a 0b 22 55 chave                      - interruptor S3
DS3 0b 55 diodo                            - diodo série com S3

```

DS3p 55 0a diodo - diodo em anti-paralelo com o interruptor S3

EM2n 26 66 value={ if(V(17)<=0,(15-V(22,55)),0) } - libera pulso para S4 (complementar de S3)

S4 0c 0d 26 66 chave

DS4 0d 66 diodo

DS4p 66 0c diodo

Lm 3 0 5.1m ic=-0.001 – indutor de magnetização

C1 2 3 680n ic=1 - capacitor de transferência

C2 3 4 5u ic=1 - capacitor de saída

Rc 3 4 54 - carga nominal

.LIB

.model diodo D - Modelo dos diodos

.model chave vswitch - Modelo dos interruptores

.TRAN 300.0n 66.667m 33.3333m 300.0n uic; *ipsp* - passo de interação (300n), tempo simulado (66.667m 33.3333m) e passo de impressão (300n)

.probe

.options itl4=200 itl5=0 abstol=10.0u chgtol=10p vntol=1.0u reltol=30.0m - tolerâncias

.four 60 20 I(L) - componentes de Fourier para a corrente de entrada em relação a tensão de entrada (60Hz)

.end

APÊNDICE “B”

Componentes de Fourier para a Corrente de Entrada (I_I)					
Modulação por Histerese Variável com Flip-Flop - Carga Linear					
H	Frequência	Comp. Fourier	Comp. Normalizada	Fase	Fase Normalizada
Nº	[Hz]	[V]	-	[graus]	[graus]
1	60,00	3,76E+00	1,00E+00	0,11	0,00
2	120,00	1,61E-03	4,28E-04	83,90	83,70
3	180,00	2,35E-03	6,25E-04	-150,00	-151,00
4	240,00	1,08E-03	2,88E-04	82,20	81,80
5	300,00	1,91E-03	5,07E-04	-179,00	-179,00
6	360,00	1,34E-03	3,56E-04	74,60	74,00
7	420,00	3,65E-04	9,70E-05	95,30	94,50
8	480,00	1,61E-03	4,28E-04	60,70	59,80
9	540,00	1,26E-03	3,36E-04	70,80	69,80
10	600,00	9,50E-04	2,52E-04	89,10	88,00
11	660,00	8,98E-04	2,39E-04	180,00	179,00
12	720,00	1,79E-03	4,76E-04	127,00	126,00
13	780,00	1,81E-03	4,82E-04	65,70	64,30
14	840,00	6,77E-04	1,80E-04	60,60	59,00
15	900,00	7,33E-04	1,95E-04	58,00	56,40
16	960,00	1,78E-03	4,73E-04	47,30	45,50
17	1020,00	5,96E-04	1,59E-04	67,40	65,50
18	1080,00	1,52E-03	4,03E-04	54,20	52,20
19	1140,00	1,39E-03	3,70E-04	91,60	89,50
20	1200,00	1,83E-03	4,87E-04	112,00	110,00
Componente CC = 4.417227E-04					
Taxa de Distorção Harmônica = 0,166%					

APÊNDICE “C”

Componentes de Fourier para a Tensão de Saída (V_O)					
Modulação por Histerese Variável com Flip-Flop - Carga Linear					
H	Frequência	Comp. Fourier	Comp. Normalizada	Fase	Fase Normalizada
N ^o	[Hz]	[V]	-	[graus]	[graus]
1	60,00	161,00	1,00E+03	-5,87	0,00
2	120,00	0,93	5,78E-03	134,00	145,00
3	180,00	0,44	2,74E-03	-132,00	-114,00
4	240,00	0,44	2,75E-03	52,30	75,80
5	300,00	0,23	1,42E-03	22,70	52,10
6	360,00	0,47	2,92E-03	-23,70	11,50
7	420,00	0,24	1,48E-03	57,70	98,80
8	480,00	0,22	1,37E-03	-65,00	-18,00
9	540,00	0,36	2,23E-03	26,90	79,80
10	600,00	0,27	1,64E-03	-164,00	-106,00
11	660,00	0,39	2,41E-03	18,10	82,70
12	720,00	0,22	1,36E-03	110,00	181,00
13	780,00	0,38	2,35E-03	-27,90	48,40
14	840,00	0,16	9,97E-04	54,80	137,00
15	900,00	0,21	1,33E-03	-49,30	38,80
16	960,00	0,19	1,19E-03	-45,00	48,90
17	1020,00	0,22	1,38E-03	-64,30	35,50
18	1080,00	0,10	6,34E-04	-62,30	43,30
19	1140,00	0,19	1,18E-03	-37,20	74,30
20	1200,00	0,03	2,00E-04	-59,90	57,40
Componente CC = -0,5326101E-01					
Taxa de Distorção Harmônica = 0,958%					

APÊNDICE “D”

Componentes de Fourier para a Corrente de Entrada (I_1)					
Modulação por Histerese Variável com Flip-Flop - Carga Não Linear					
H	Frequência	Comp. Fourier	Comp. Normalizada	Fase	Fase Normalizada
N ^o	[Hz]	[V]	-	[graus]	[graus]
1	60,00	3,71E+00	1,00E+00	1,22	0,00
2	120,00	1,46E-02	3,92E-03	75,47	73,02
3	180,00	6,88E-02	1,85E-02	80,46	76,79
4	240,00	1,25E-02	3,37E-03	58,53	53,64
5	300,00	5,53E-02	1,49E-02	69,49	63,38
6	360,00	1,06E-02	2,86E-03	51,16	43,83
7	420,00	6,61E-02	1,78E-02	48,04	39,48
8	480,00	9,81E-03	2,64E-03	47,55	37,77
9	540,00	5,52E-02	1,49E-02	41,54	30,54
10	600,00	1,04E-02	2,80E-03	31,64	19,41
11	660,00	5,97E-02	1,61E-02	21,34	7,89
12	720,00	9,08E-03	2,45E-03	21,09	6,42
13	780,00	5,54E-02	1,49E-02	12,67	-3,22
14	840,00	8,43E-03	2,27E-03	-7,53	-24,64
15	900,00	5,39E-02	1,45E-02	-7,70	-26,03
16	960,00	4,52E-03	1,22E-03	-28,46	-48,02
17	1020,00	4,99E-02	1,35E-02	-16,72	-37,50
18	1080,00	2,07E-03	5,58E-04	-51,76	-73,76
19	1140,00	4,69E-02	1,26E-02	-37,82	-61,04
20	1200,00	2,13E-03	5,75E-04	-134,10	-158,50
Componente CC = 6,833857E-03					
Taxa de Distorção Harmônica = 4,6%					

APÊNDICE “E”

Componentes de Fourier para a Tensão de Saída (V_o)					
Carga Não Linear					
H	Frequência	Comp, Fourier	Comp, Normalizada	Fase	Fase Normalizada
Nº	[Hz]	[V]	-	[graus]	[graus]
1	60,00	1,74E+02	1,00E+00	-15,93	0,00
2	120,00	3,36E-01	1,94E-03	59,20	91,06
3	180,00	2,74E+01	1,58E-01	4,96	52,76
4	240,00	2,18E-01	1,26E-03	57,78	121,50
5	300,00	1,93E+01	1,11E-01	-19,70	59,96
6	360,00	2,23E-01	1,28E-03	65,88	161,50
7	420,00	1,39E+01	7,98E-02	-40,07	71,46
8	480,00	2,52E-01	1,45E-03	61,48	188,90
9	540,00	1,01E+01	5,84E-02	-57,06	86,33
10	600,00	2,66E-01	1,53E-03	54,78	214,10
11	660,00	7,64E+00	4,40E-02	-73,39	101,90
12	720,00	2,92E-01	1,68E-03	46,62	237,80
13	780,00	5,82E+00	3,35E-02	-88,97	118,10
14	840,00	3,14E-01	1,81E-03	38,45	261,50
15	900,00	4,43E+00	2,55E-02	-105,10	133,90
16	960,00	3,42E-01	1,97E-03	27,11	282,00
17	1020,00	3,36E+00	1,93E-02	-121,30	149,50
18	1080,00	3,57E-01	2,05E-03	15,48	302,30
19	1140,00	2,50E+00	1,44E-02	-138,70	164,00
20	1200,00	3,67E-01	2,11E-03	4,06	322,70
Componente CC = 2,075433E-01					
Taxa de Distorção Harmônica = 22,6%					

APÊNDICE “F”

Componentes de Fourier para a Corrente de Entrada (I_1)					
Modulação por Histerese Variável - Carga não Linear					
H	Frequência	Comp. Fourier	Comp. Normalizada	Fase	Fase Normalizada
N ^o	[Hz]	[V]	-	[graus]	[graus]
1	60,00	3,52E+00	1,00E+00	0,58	0,00
2	120,00	1,62E-04	4,60E-05	-154,10	-155,30
3	180,00	2,67E-02	7,59E-03	84,20	82,45
4	240,00	1,56E-04	4,43E-05	-16,04	-18,38
5	300,00	2,67E-02	7,58E-03	70,85	67,93
6	360,00	1,50E-05	4,26E-06	-158,40	-161,90
7	420,00	2,56E-02	7,27E-03	63,65	59,56
8	480,00	2,61E-04	7,41E-05	98,04	93,36
9	540,00	2,45E-02	6,94E-03	56,09	50,82
10	600,00	9,07E-05	2,57E-05	-136,90	-142,70
11	660,00	2,34E-02	6,63E-03	48,63	42,20
12	720,00	1,87E-04	5,31E-05	-29,32	-36,33
13	780,00	2,23E-02	6,32E-03	39,90	32,30
14	840,00	2,16E-04	6,14E-05	-96,78	-105,00
15	900,00	2,10E-02	5,97E-03	32,06	23,29
16	960,00	2,69E-04	7,64E-05	96,93	87,57
17	1020,00	1,94E-02	5,51E-03	23,15	13,21
18	1080,00	4,14E-05	1,17E-05	-122,90	-133,40
19	1140,00	1,80E-02	5,12E-03	14,81	3,70
20	1200,00	2,13E-04	6,04E-05	-153,50	-165,20
Componente CC = -1,322114E-04					
Taxa de Distorção Harmônica = 1.97 %					

APÊNDICE “G”

Componentes de Fourier para a Corrente de Entrada (I_1)					
Modulação PWM - Carga Linear					
H	Frequência	Comp. Fourier	Comp. Normalizada	Fase	Fase Normalizada
Nº	[Hz]	[V]	-	[graus]	[graus]
1	60,00	3,49E+00	1,00E+00	3,58	0,00
2	120,00	1,02E-04	2,92E-05	94,95	87,79
3	180,00	3,11E-02	8,92E-03	-157,40	-168,20
4	240,00	1,14E-04	3,28E-05	96,02	81,71
5	300,00	2,19E-02	6,28E-03	-147,30	-165,20
6	360,00	1,32E-04	3,78E-05	95,90	74,43
7	420,00	1,89E-02	5,43E-03	-143,30	-168,40
8	480,00	1,52E-04	4,35E-05	88,28	59,66
9	540,00	1,72E-02	4,92E-03	-146,10	-178,30
10	600,00	1,59E-04	4,56E-05	73,50	37,72
11	660,00	1,45E-02	4,15E-03	-153,10	-192,40
12	720,00	1,48E-04	4,24E-05	59,99	17,05
13	780,00	1,10E-02	3,15E-03	-157,60	-204,10
14	840,00	1,23E-04	3,53E-05	50,13	0,04
15	900,00	8,01E-03	2,30E-03	-155,50	-209,10
16	960,00	8,78E-05	2,52E-05	40,41	-16,84
17	1020,00	6,11E-03	1,75E-03	-146,90	-207,70
18	1080,00	6,59E-05	1,89E-05	45,16	-19,25
19	1140,00	5,10E-03	1,46E-03	-134,60	-202,60
20	1200,00	4,49E-05	1,29E-05	52,60	-18,96
Componente CC = 4.995965E-05					
Taxa de Distorção Harmônica = 1.45%					

APÊNDICE “H”

Código de Descrição de Hardware para o Componente “entrada”

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

ENTITY entrada IS
  PORT(
    clk50M           : IN  std_logic;
    dvA, dvB, ovrA, ovrB : IN  std_logic;
    CHA, CHB         : IN  std_logic_vector (11 downto 0);
    clkadc           : out std_logic;
    countxx         : out std_logic_vector (5 downto 0);
    CHA_out, CHB_out : out std_logic_vector (11 downto 0);
    ovrA_out, ovrB_out : out std_logic);

END entrada;

ARCHITECTURE a OF entrada IS

  signal cda_temp           : std_logic;
  signal CHA_temp, CHB_temp : std_logic_vector (11 downto 0);
  signal ovrA_t, ovrB_t    : std_logic;

  Begin

  -----
  --
  -- Processo que aquisita os dados annalógicos
  --
  -----

  Process(cda_temp)
  begin
    if cda_temp'event and cda_temp = '1' then
      ovrA_t <= ovrA;
      ovrB_t <= ovrB;
      if (dvA = '1') and (ovrA = '0') then
        CHA_temp <= CHA;
      end if;
      if (dvB = '1') and (ovrB = '0') then
        CHB_temp <= CHB;
      end if;
      CHA_out <= CHA_temp;
      CHB_out <= CHB_temp;
    end if;
  end Process;
end ARCHITECTURE a;

```

```

        ovrA_out <= ovrA_t;
        ovrB_out <= ovrB_t;

    end if;
end process;

-----
--
-- Processo que gera o clock do conversor A/D
--
-----

    Process(clk50M)
        --variable countx : std_logic_vector (1 downto 0):="00";
        variable countx : std_logic_vector (5 downto 0):="000000";
    Begin
    if (clk50M'event and clk50M='1') then
        countx := countx + 1;
        --if (countx < "010") then
            if (countx < "100000") then
                cda_temp <= '1';
            else
                cda_temp <= '0';
            end if;
        countxx <= countx;
        end if;
        clkadc <= cda_temp;

    end process;
end a;
```

APÊNDICE “I”

Código de Descrição de Hardware para o Componente “sepictrl”

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity sepictrl is
  Port ( clk : in std_logic;
        clkADC : in std_logic;

        ---- Dado Aquisitado pelo A/D -----
        din_a : in std_logic_vector (11 downto 0);
        din_b : in std_logic_vector (11 downto 0);
        ovr_a : in std_logic;
        ovr_b : in std_logic;

        ---- Sinais de Controle IN -----
        reset : in std_logic;

        ---- Sinais de Controle OUT -----
        saida_est : out std_logic_vector (2 downto 0);
        clk_me : out std_logic;
        LED : out std_logic;
        S1 : out std_logic;
        S2 : out std_logic;
        S3 : out std_logic;
        S4 : out std_logic);

end sepictrl;

architecture Behavioral of sepictrl is
  type estados_t is (start, transicao, positivo, negativo, off);
  signal estado: estados_t:=off;
  signal clkme_temp: std_logic;
  constant deltax: std_logic_vector (7 downto 0):="11001000";
  constant zero: std_logic_vector (11 downto 0):="011111111111";

  begin

  -- Processo de identificacao de semi-ciclo e comparação corrente amostrada
  process (clkadc)
    variable pat_inf: std_logic_vector (11 downto 0);
    variable pat_sup: std_logic_vector (11 downto 0);
  begin
    pat_inf :=zero-deltax;
    pat_sup :=zero+deltax;
    if (clkadc'event and clkadc='1') then --CLK rising edge

```

```

if reset='1' then
    estado <= start;
else
    case estado is
    when start =>
        if (din_a >=pat_inf and din_a <= pat_sup) then
            estado <= transicao;
        end if;
        saida_est <= "000";
    when transicao =>
        if (din_a >= pat_sup) then
            estado <= positivo;
        elsif (din_a <= pat_inf) then
            estado <= negativo;
        end if;
        saida_est <= "001";
    when positivo =>
        if (din_a <= pat_sup) then
            estado <= transicao;
        end if;
        saida_est <= "010";
    when negativo =>
        if (din_a >= pat_inf) then
            estado <= transicao;
        end if;
        saida_est <= "100";
    when off =>
        saida_est <= "111";
    when others =>
        estado <= off;
    end case;
    if (ovr_a='1' or ovr_b='1') then
        estado <= off;
    end if;
end if;
end process;

-- Processo de geração do clock de verificação (clk_me)
Process(clk)
variable county : std_logic_vector (7 downto 0):="00000000";
Begin
    if (clk'event and clk='1') then
        county := county + 1;
        if (county < "01000000") then
            clkme_temp <= '1';
        else
            clkme_temp <= '0';
        end if;
    end if;
--    countys <= county;

```

```

--      countyy <= county;
          end if;
          clk_me <= clkme_temp;
end process;

-- Process do Pulso dos Interruptores
process (clkme_temp)
begin
  if (clkme_temp'event and clkme_temp='1') then --CLK rising edge
    LED <='0';

        case estado is
        when start =>
            S1<='0';
            S2<='0';
            S3<='0';
            S4<='0';
        when transicao =>
            S1<='0';
            S2<='0';
            S3<='0';
            S4<='0';
        when positivo =>
            S3<='0';
            S4<='0';
            if (din_b < din_a) then
                S1<='1';
                S2<='0';
            else
                S1<='0';
                S2<='1';
            end if;
        when negativo =>
            S1<='0';
            S2<='0';
            if (din_b <= din_a) then
                S3<='0';
                S4<='1';
            else
                S3<='1';
                S4<='0';
            end if;
        when off =>
            S1<='0';
            S2<='0';
            S3<='0';
            S4<='0';
        -- Intro LED -----
            LED <= '1';

```

```
        when others =>
            S1<='0';
            S2<='0';
            S3<='0';
            S4<='0';
        end case;
    end if;
end process;
end Behavioral;
```

APÊNDICE “J”

Código de Descrição de Hardware para o Componente “total”

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity total is
  Port (
    --Entradas -----
    clk                : IN  std_logic;
    reset              : IN  std_logic;
    dvA, dvB, ovrA, ovrB : IN  std_logic;
    CHA, CHB           : IN  std_logic_vector (11 downto 0);
    ---Saidas-----
    clkadc             : out std_logic;
    S1, S2, S3, S4    : OUT  std_logic;
    estado             : out std_logic_vector (2 downto 0);
    clk_me             : out std_logic);
end total;

architecture Behavioral of total is
  signal CHA_t, CHB_t  :  std_logic_vector (11 downto 0);
  signal ovrA_t, ovrB_t :  std_logic;
  signal clkadc_t     :  std_logic;

  COMPONENT entrada
    PORT(
      clk50m : IN std_logic;
      dva : IN std_logic;
      dvb : IN std_logic;
      ovra : IN std_logic;
      ovrb : IN std_logic;
      cha : IN std_logic_vector(11 downto 0);
      chb : IN std_logic_vector(11 downto 0);
      clkadc : OUT std_logic;
      --countxx : OUT std_logic_vector(1 downto 0);
      cha_out : OUT std_logic_vector(11 downto 0);
      chb_out : OUT std_logic_vector(11 downto 0);
      ovra_out : OUT std_logic;
      ovrb_out : OUT std_logic
    );
  END COMPONENT;

  COMPONENT sepictrl
    PORT(
      clk : IN std_logic;

```



```

        clkadc : IN std_logic;
        din_a : in std_logic_vector (11 downto 0);
        din_b : in std_logic_vector (11 downto 0);
        ovr_a : IN std_logic;
        ovr_b : IN std_logic;
        reset : IN std_logic;
        saida_est : OUT std_logic_vector(2 downto 0);
        clk_me : OUT std_logic;
        s1 : OUT std_logic;
        s2 : OUT std_logic;
        s3 : OUT std_logic;
        s4 : OUT std_logic
    );
END COMPONENT;

begin

U1: entrada PORT MAP(
    clk50m => clk,
    dva => dvA,
    dvb => dvB,
    ovra => ovrA,
    ovrb => ovrB,
    cha => CHA,
    chb => CHB,
    clkadc => clkadc_t,
    --countxx => ,
    cha_out => CHA_t,
    chb_out => CHB_t,
    ovra_out => ovrA_t,
    ovrb_out => ovrB_t
);

U2: sepictrl PORT MAP(
    clk => clk,
    clkadc => clkadc_t,
    din_a => CHA_t,
    din_b => CHB_t,
    ovr_a => ovrA_t,
    ovr_b => ovrB_t,
    reset => reset,
    saida_est => estado,
    clk_me => clk_me,
    s1 => S1,
    s2 => S2,
    s3 => S3,
    s4 => S4
);

clkadc <=clkadc_t;

```

end Behavioral;

APÊNDICE “L”

Pinos destinados aos portos de entrada e saída

* Interruptores S₁, S₂, S₃ e S₄

```
NET "S4" LOC = "P169" ;
NET "S4" IOSTANDARD = LVTTTL;
NET "S3" LOC = "P176" ;
NET "S3" IOSTANDARD = LVTTTL;
NET "S2" LOC = "P174" ;
NET "S2" IOSTANDARD = LVTTTL;
NET "S1" LOC = "P179" ;
NET "S1" IOSTANDARD = LVTTTL;
```

* Sinal de reset

```
NET "reset" LOC = "P187" ;
NET "reset" IOSTANDARD = LVTTTL;
```

* Sinais de um bit proveniente do conversor A/D (para cada canal)

```
NET "ovrb" LOC = "P94" ;
NET "ovrb" IOSTANDARD = LVTTTL;
NET "ovra" LOC = "P96" ;
NET "ovra" IOSTANDARD = LVTTTL;
NET "dvb" LOC = "P98" ;
NET "dvb" IOSTANDARD = LVTTTL;
NET "dva" LOC = "P100" ;
NET "dva" IOSTANDARD = LVTTTL;
```

* Sinais de informação do FPGA

```
NET "led" LOC = "P154" ;
NET "led" IOSTANDARD = LVTTTL;
NET "estado<2>" LOC = "P101" ;
NET "estado<2>" IOSTANDARD = LVTTTL;
NET "estado<1>" LOC = "P99" ;
NET "estado<1>" IOSTANDARD = LVTTTL;
NET "estado<0>" LOC = "P97" ;
NET "estado<0>" IOSTANDARD = LVTTTL;
```

* clocks

```
NET "clk_me" LOC = "P89" ;
NET "clk_me" IOSTANDARD = LVTTTL;
NET "clkadc" LOC = "P111" ;
NET "clkadc" IOSTANDARD = LVTTTL;
NET "clk" LOC = "P182" ;
NET "clk" IOSTANDARD = LVTTTL;
```

* Palavra de 12 bits provenientes do conversor A/D – Corrente sensorada

```
NET "chb<11>" LOC = "P11" ;
NET "chb<11>" IOSTANDARD = LVTTTL;
NET "chb<10>" LOC = "P9" ;
```

```

NET "chb<10>" IOSTANDARD = LVTTL;
NET "chb<9>" LOC = "P7" ;
NET "chb<9>" IOSTANDARD = LVTTL;
NET "chb<8>" LOC = "P5" ;
NET "chb<8>" IOSTANDARD = LVTTL;
NET "chb<7>" LOC = "P3" ;
NET "chb<7>" IOSTANDARD = LVTTL;
NET "chb<6>" LOC = "P205" ;
NET "chb<6>" IOSTANDARD = LVTTL;
NET "chb<5>" LOC = "P203" ;
NET "chb<5>" IOSTANDARD = LVTTL;
NET "chb<4>" LOC = "P201" ;
NET "chb<4>" IOSTANDARD = LVTTL;
NET "chb<3>" LOC = "P199" ;
NET "chb<3>" IOSTANDARD = LVTTL;
NET "chb<2>" LOC = "P194" ;
NET "chb<2>" IOSTANDARD = LVTTL;
NET "chb<1>" LOC = "P192" ;
NET "chb<1>" IOSTANDARD = LVTTL;
NET "chb<0>" LOC = "P189" ;
NET "chb<0>" IOSTANDARD = LVTTL;

```

*** Palavra de 12 bits provenientes do conversor A/D – Corrente de referência**

```

NET "cha<11>" LOC = "P15" ;
NET "cha<11>" IOSTANDARD = LVTTL;
NET "cha<10>" LOC = "P10" ;
NET "cha<10>" IOSTANDARD = LVTTL;
NET "cha<9>" LOC = "P8" ;
NET "cha<9>" IOSTANDARD = LVTTL;
NET "cha<8>" LOC = "P6" ;
NET "cha<8>" IOSTANDARD = LVTTL;
NET "cha<7>" LOC = "P4" ;
NET "cha<7>" IOSTANDARD = LVTTL;
NET "cha<6>" LOC = "P206" ;
NET "cha<6>" IOSTANDARD = LVTTL;
NET "cha<5>" LOC = "P204" ;
NET "cha<5>" IOSTANDARD = LVTTL;
NET "cha<4>" LOC = "P202" ;
NET "cha<4>" IOSTANDARD = LVTTL;
NET "cha<3>" LOC = "P200" ;
NET "cha<3>" IOSTANDARD = LVTTL;
NET "cha<2>" LOC = "P198" ;
NET "cha<2>" IOSTANDARD = LVTTL;
NET "cha<1>" LOC = "P193" ;
NET "cha<1>" IOSTANDARD = LVTTL;
NET "cha<0>" LOC = "P191" ;
NET "cha<0>" IOSTANDARD = LVTTL;

```

APÊNDICE “M”

Código de Descrição de Hardware para o Componente PWM

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity sinal is
    Port ( clk_in : in std_logic;
          Sinal_Va : in std_logic;
          S1,S2,S3,S4 : out std_logic);

end sinal;

architecture controle of sinal is

begin

Process (clk_in,Sinal_Va)
    variable cont_clk_fs : integer range 0 to 266:=0;
    variable Pulso_temp,Sinal_Va_not: std_logic:='0';
    variable Sinal_Va_temp: std_logic_vector(1 downto 0):="00";
    variable cont_clk_50MHz, cont_clk_in : integer range 0 to 1488:=0;
    variable Estado : integer range 0 to 1:=0;
    variable start: integer range 0 to 1:=0;
    variable Estado_Sinal_Va : std_logic_vector(1 downto 0):="00";
    variable Estado2_Sinal_Va : std_logic_vector(1 downto 0):="00";

Begin

    if(clk_in'event and clk_in='1') then
        Sinal_Va_not:= not Sinal_Va;

```

```

Sinal_Va_temp:=(Sinal_Va & Sinal_Va_not);
case Sinal_Va_temp is
  when "00" => null;
  when "01" => Estado:=0; -- positivo
  when "10" => Estado:=1; -- negativo
  when "11" => null;
  when others => null;
end case;

```

```

cont_clk_in:=cont_clk_in+1;
if cont_clk_in<757 then Pulso_temp:='1';
  else Pulso_temp:='0';
end if;
if cont_clk_in=1488 then cont_clk_in:=0;
end if;

```

Case Estado is

```

  when 0 =>
if start=0 then Estado2_Sinal_Va:="00";
  cont_clk_in:=0;
  cont_clk_fs:=0;   cont_clk_50MHz:=0;
end if;

```

case Estado2_Sinal_Va is

```

  when "00" => start:=1;
Estado_Sinal_Va:="00";           Estado2_Sinal_Va:="00";

```

```

-----
  cont_clk_50MHz:=cont_clk_50MHz+1;
  if cont_clk_50MHz=1488 then cont_clk_50MHz:=0;
  cont_clk_fs:=cont_clk_fs+1;
end if;
-----

```

```

if cont_clk_fs=7 then Estado2_Sinal_Va:="01";
    cont_clk_fs:=0;
end if;
S1<='0';
S2<='1';
S3<='0';
S4<='0';

```

```

====
when "01" => Estado2_Sinal_Va:="01";

```

```

cont_clk_50MHz:=cont_clk_50MHz+1;
if cont_clk_50MHz=1488 then cont_clk_50MHz:=0;
cont_clk_fs:=cont_clk_fs+1;
end if;

```

```

if cont_clk_fs=264 then Estado2_Sinal_Va:="10";

    cont_clk_fs:=0; --cont_clk_50MHz:=0;
end if;
S3<=Pulso_temp;
S4<='1';
S1<='0';
S2<='0';

```

```

==== when "10" =>
Estado2_Sinal_Va:="10";
S1<='0';
S2<='0';
S3<='0';
S4<='1';

```

```

when others => null;

```

```

end case;
when 1 =>
    if start=1 then Estado_Sinal_Va:="00"; cont_clk_in:=0;
        cont_clk_fs:=0;    cont_clk_50MHz:=0;
    end if;

```

```

case Estado_Sinal_Va is

```

```

=====

```

```

when "00" => start:=0;
    Estado_Sinal_Va:="00";
Estado2_Sinal_Va:="00";

```

```

-----
    cont_clk_50MHz:=cont_clk_50MHz+1;

```

```

if cont_clk_50MHz=1488 then cont_clk_50MHz:=0;
    cont_clk_fs:=cont_clk_fs+1;
end if;

```

```

-----
    if cont_clk_fs=7 then Estado_Sinal_Va:="01";
        cont_clk_fs:=0;
    end if;
    S1<='0';
    S2<='0';
    S3<='0';
    S4<='1';

```

```

=====

```

```

when "01" => Estado_Sinal_Va:="01";

```

```

-----
    cont_clk_50MHz:=cont_clk_50MHz+1;
if cont_clk_50MHz=1488 then cont_clk_50MHz:=0;

```



```
cont_clk_fs:=cont_clk_fs+1;
```

```
end if;
```

```
-----  
if cont_clk_fs=266 then Estado_Sinal_Va:="10";
```

```
cont_clk_fs:=0;    --cont_clk_50MHz:=0;
```

```
end if;
```

```
    S1<=Pulso_temp;
```

```
    S2<='1';
```

```
    S3<='0';
```

```
    S4<='0';
```

```
====
```

```
when "10" =>
```

```
Estado_Sinal_Va:="10";
```

```
    S1<='0';
```

```
    S2<='1';
```

```
    S3<='0';
```

```
    S4<='0';
```

```
when others => null;
```

```
end case;
```

```
end case;
```

```
end if;
```

```
end process;
```

```
end controle;
```

APÊNDICE “N”

Dispositivos Lógicos Programáveis e Linguagem de Descrição de “*Hardware*”

N.1 – Introdução

A busca de novos processos e estruturas que propiciem um elevado grau de versatilidade, miniaturização e eficiência, com um baixo custo para o desenvolvimento de dispositivos eletrônicos é uma constante para os mais diversos pesquisadores e de grande parte das indústrias. A obsolescência das tecnologias empregadas, oriundas das constantes modificações das exigências do mercado, obriga o desenvolvimento destes dispositivos com baixo custo inicial de operação e elevado grau de flexibilidade de tal forma a minimizar o tempo de fabricação.

Uma importante solução para a implementação de circuitos eletrônicos programáveis com possibilidade das mais diversas lógicas de controle são os FPGAs (“*Field Programmable Gate Array*”), associados a uma linguagem de descrição de hardware.

Desenvolver um projeto em linguagem descritiva de “*hardware*” – HDL (“*Hardware Description Language*”) permite inúmeras vantagens. Pode-se dizer que o projetista não necessita possuir conhecimentos profundos em circuitos e sistemas digitais para desenvolver o seu projeto. O projeto em linguagem descritiva de “*hardware*” facilita modificações e correções de erros, podendo assim, o projetista ampliar facilmente o seu projeto com apenas algumas modificações em algumas linhas de comando. Desta forma, diversas linguagens de descrição de “*hardware*” foram desenvolvidas com este intuito, como por exemplo, VHDL, VERILOG, AHDL entre outros. A linguagem VHDL é uma linguagem de alto nível, fazendo com que um circuito digital seja descrito em um grau elevado de abstração, não sendo mais necessário trabalhar em descrição de baixo nível, como transistores e portas lógicas. Com isso, as metodologias de projetos de circuitos digitais tornaram-se simplificadas e os processos se tornaram concorrentes, ao contrário das linguagens de programação como Pascal, C⁺⁺ e outras que são essencialmente seqüenciais, além da incorporação das HDLs pelo padrão IEEE (“*Institute of Electrical and Electronics Engineers*”).

N.2 – Dispositivos Lógicos Programáveis

A implementação de sistemas digitais sempre foi um desafio para os pesquisadores de forma geral, principalmente no que se refere ao tamanho das placas de circuitos impressos e implementação de circuitos digitais mais complexos em um dispositivo lógico com o máximo de conexões internas possíveis.

Inicialmente, surgiram as memórias PROMs (*“Programmable Read Only Memories”*), onde era possível gravar determinados programas uma ou mais vezes, como por exemplo as EPROMs (*“Electrically Programmable Memory”*), ou, EEPROMs (*“Electrically Erasable Programmable Memory”*). Entretanto, as PROMS apresentam limitações quanto ao número de I/Os em aplicações que requerem velocidade, além de necessitar dispositivos externos extras, como *“flip-flops”* ou microprocessadores.

Outros dispositivos programáveis surgiram, como por exemplo, os PLA (*“Programmable Logic Array”*) e os PALs (*“Programmable Array Logic”*), resolvendo em parte os problemas apresentados pelas PROMs.

Posteriormente, surgiu a arquitetura denominada de PLD (*“Programmable Logic Device”*), utilizando tecnologia CMOS com potência extremamente baixa, baseados na tecnologia *“Flash”*.

Os PLDs representaram um grande avanço, pois, continham muito mais portas lógicas em uma única pastilha, em comparação com os dispositivos lógicos existentes. As PLDs evoluíram para os dispositivos denominados de CPLDs (*“Complex Programmable Logic Devices”*), apresentando a vantagem de se ter blocos lógicos em um único componente, operação em frequências elevadas e estimação do tempo de atraso entre os sinais de entrada e de saída.

Desta forma, os CPLDs propiciaram uma forma simples e rápida de implementar projetos digitais, onde todos os processos de otimização, simulação e configuração envolvidos ficam sob responsabilidade das ferramentas de desenvolvimento. Estas ferramentas permitem a apresentação do projeto do sistema digital utilizando linguagens de descrição de *“hardware”* e/ou circuitos esquemáticos.

Dentro desta evolução dos dispositivos programáveis, a computação reconfigurável provocou novos desafios aos modelos computacionais, tanto em nível de *“software”* quanto de hardware. Neste sentido, surgiram os DSP (*“Digital Signal Processor”*) juntamente com outros processadores de aplicação específica com a finalidade de melhorar a performance e desempenho destes sistemas. Entretanto, estes dispositivos apresentam

processamento serial, o que é uma desvantagem para utilização em ambientes de tempo real, apesar da sua boa performance e de ser amplamente utilizado, além do seu baixo custo.

Finalmente, surgiram os dispositivo FPGA (*“Field Programmable Gate Array”*) integrando as vantagens dos PLDs com os ASICs (*“Application Specific Integrated Circuit”*). Desta forma, esta tecnologia viabilizou a construção e prototipagem de circuitos digitais complexos, sem a necessidade de muitos recursos computacionais e financeiros. A possibilidade de implementar um circuito digital em um ambiente especificado e de baixo custo está popularizando cada vez mais esta tecnologia. Atualmente, pode-se descrever circuitos digitais extremamente complexos para os FPGAs, utilizando a linguagem VHDL. No entanto, a busca tecnológica é contínua para obtenção de dispositivos programáveis de elevada velocidade e/ou capacidade, de tal forma a permitir aos projetistas a implementação circuitos e arquiteturas cada vez mais complexos, sem a necessidade do uso de grandes recursos de fundição em silício. Com isto, tem-se enormes vantagens no desenvolvimento de projetos, economizando-se tempo e custo, devido à agilidade em todo o processo de desenvolvimento, simulação, teste e alteração do projeto.

Os FPGAs são circuitos programáveis compostos de células lógicas ou blocos lógicos alocados em forma de matriz. No caso da Xilinx, o bloco lógico é denominado de CLB (*“Configurable Logic Block”*) e com até 600 mil portas lógicas. No caso da Altera é denominado LE (*“Logic Element”*) ou *“Macrocell”*.

Basicamente, os elementos de um FPGA são: unidade lógica de um FPGA ou blocos lógicos configuráveis - CLBs (*“Configurable Logic Block”*), os blocos de entrada/saída – IOB (*“In/Out Block”*) que são responsáveis pela interface com o ambiente externo, as matrizes de conexão - SBs (*“Switch Box”*) responsáveis pela interconexão entre os CLBs, através dos canais de roteamento.

A configuração dos PLDs depende da tecnologia envolvida. No caso do FPGA da Xilinx que será utilizado neste trabalho (Spartan-IIe), os interruptores configuráveis são voláteis, de forma que toda vez que o dispositivo é acionado é necessário uma nova configuração. Entretanto, uma memória externa para reconfiguração pode ser prevista, como por exemplo, uma EPROM.

O desempenho de um circuito em FPGA pode ser medido através da ocupação espacial ou desempenho temporal. No primeiro caso é determinado quantos componentes são necessários para implementar o circuito, enquanto que no segundo caso é determinado o tempo de atraso do sinal através do circuito. O que se deseja na verdade é que o espaço

utilizado no silício e o tempo de execução sejam os menores possíveis, o que nem sempre é possível. Para melhorar a performance do FPGA é interessante recorrer a algoritmos de otimização. Alguns “*softwares*” de síntese de circuitos digitais possuem mecanismos de otimização genéricos, onde o projetista define o grau de otimização temporal ou espacial e o “*software*” através de algoritmos genéricos tentam atender a configuração desejada.

Especificamente neste trabalho será utilizado um dispositivo FPGA da Xilinx/Spartan-IIE, dado que o mesmo apresenta as características desejadas para desenvolvimento do projeto proposto, as quais serão melhores detalhadas no próximo item.

N.2.1 - Dispositivos FPGA da Família Spartan-IIE

A família Spartan-IIE hoje constitui uma das mais avançadas tecnologias de FPGAs. Além de sua grande quantidade de “*gates*” (até 200.000), possibilita suporte programável para vários padrões de I/Os, vários blocos de memória, além de possibilidade de integração com outros dispositivos. Ainda pode ser citada a possibilidade de um número ilimitado de reprogramação, além do seu baixo custo. Para a família Spartan-IIE, cada componente tem sua característica, ou seja, números de pinos, faixa de temperatura, tipo de encapsulamento e o “*speed grade*” (tempo aproximado de atraso de propagação na CLB, por exemplo, -7 = 7ns). Neste trabalho será utilizado o componente XC2S200E -7 PQ 208 C da Xilinx, da Família Spartan-IIE com características conforme Tabela N.1.

Tabela N.1 – Características do componente XC2S200E da Xilinx Spartan-IIE.

Componente	“ <i>Speed grade</i> ”	Encapsulamento	Temperatura (C)
XC2S200E	-7*	PQ208	0°C to +85°C

* “*High Performance*”

N.2.1.1 - Arquitetura do Spartan-IIE

Basicamente, os dispositivos FPGAs da família Spartan-IIE possuem sua arquitetura composta por cinco elementos principais:

- IOBs provêm a interface entre os pinos de I/Os do dispositivo FPGA e a lógica interna;

- CLBs: elementos funcionais para a composição das lógicas desejadas;
- Blocos de memória RAM dedicadas;
- DLLs permitem a compensação no atraso do sinal de “clock” para as lógicas e controle do sinal de “clock”;
- Estruturas versáteis de conexão multi-níveis.

O diagrama de blocos básico da arquitetura de FPGAs da família Spartan-IIE é mostrado na Figura N.1 [48].

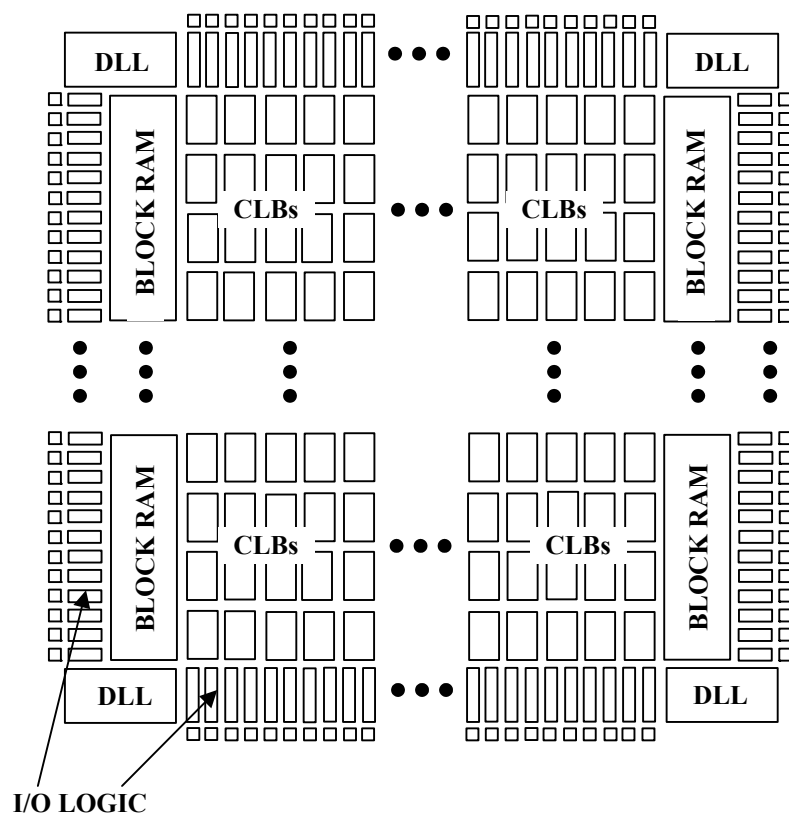


Figura N.1 – Diagrama de blocos básico da arquitetura de FPGAs da família Spartan-IIE.

Na Figura N.1 observa-se que os CLBs formam a estrutura lógica central com fácil acesso a todas as estruturas de suporte e de roteamento. Os IOBs estão localizados periféricamente aos blocos lógicos e aos elementos de memória para facilitar o roteamento dos sinais do dispositivo.

Os valores armazenados nas células de memória estática controlam todos os elementos de lógica configurável e os recursos de conexão. Estes valores são carregados nas células de memória no ato de energização através de um sistema de configuração, e podem ser carregados de novo caso seja necessária à modificação da função do dispositivo.

Nos itens seguintes serão discutidos alguns dos principais elementos da arquitetura do FPGA da família Spartan-III.

N.2.1.2 - Blocos de Entrada e Saída - IOBs

Estes blocos apresentam características de entrada e saída que suportam diversos tipos de padrões de sinais normalizados, incluindo LVDS, BLDS, LVPECL, LVCMOS, SSTL, GTL e LVTTL. Isto é uma grande vantagem, uma vez que habilita o dispositivo a operar com uma grande variedade de aplicações.

A Tabela N.2 apresenta valores requeridos de tensão de referência (VREF), fonte de tensão de saída (VCCO) e de tensão de terminação de placa (VTT) para alguns dos padrões de sinais I/Os.

Tabela N.2 – Valores Típicos dos padrões de sinais suportados pelos blocos de entrada e saída (IOB).

Padrão de I/Os	Referência da Tensão de Entrada (VREF) [V]	Tensão de Entrada (VCCO) [V]	Tensão de Saída (VCCO) [V]	Tensão no Terminal da placa (VTT) [V]
LVTTL (2-24mA)	-	3,3	-	-
LVCMOS2	-	2,5	-	-
LVCMOS18	-	1,8	-	-
PCI(3V 33/66MHz)	-	3,3	-	-
GTL	0,8	-	1,2	1,2
GTL+	1,0	-	1,5	1,5
HSTL Classe I	0,75	1,5	0,75	0,75
HSTL Classe III	0,9	1,5	1,5	1,5
HSTL Classe IV	0,9	1,5	1,5	1,5
SSTL3 Classe I e II	1,5	3,3	1,5	1,5
SSTL2 Classe I e II	1,25	2,5	1,25	1,25
CTT	1,5	3,3	1,5	1,5
AGP	1,32	3,3	-	-
LVDS, Bus LVDS	-	2,5	-	-
LVPECL	-	3,3	-	-

N.2.1.3 - Blocos Lógicos Configuráveis (CLB)

A estrutura básica da CLB do Spartan-III é a célula lógica (LC) que é composta por um gerador de função com quatro entradas, lógicas de propagação “carry”, e um elemento de registro. A saída do gerador de função em cada célula lógica é conectada à

saída do bloco CLB ou à entrada de um “*Flip-Flop*” tipo D. Cada bloco lógico configurável da família Spartan-IIE consiste em quatro células lógicas (LCs), organizadas em duas partes iguais, denominadas “*slices*”. Uma célula lógica com duas “*slices*” idênticas é mostrada na Figura N.2 [48].

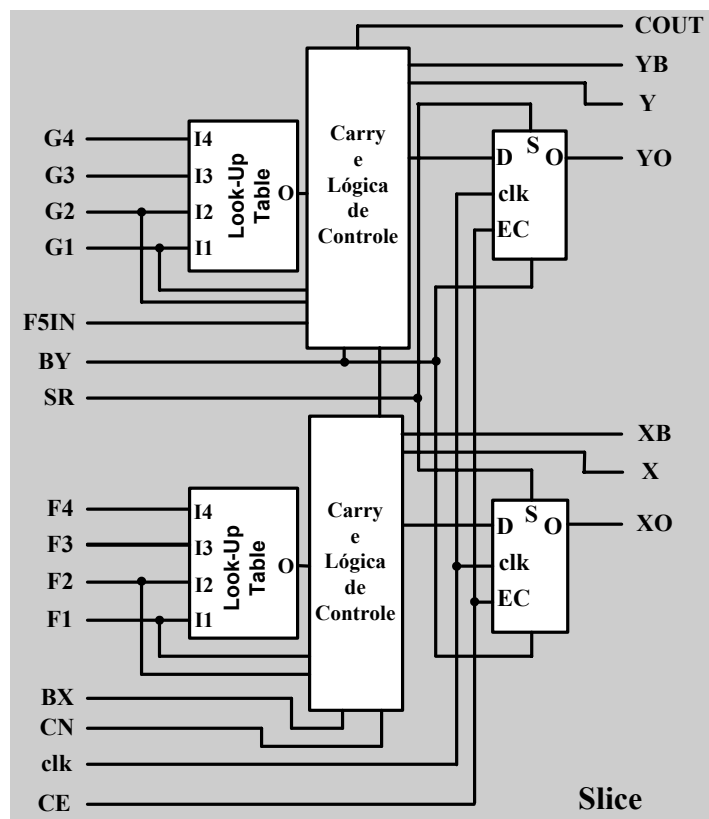


Figura N.2 – Célula Lógica Básica do FPGA Spartan-IIE contendo uma “*Slice*”.

Os geradores de função presentes nas células lógicas (LCs) são implementados através de estruturas denominadas de LUT (“*Look-Up Tables*”). As LUTs podem operar como um registrador que é ideal para armazenar dados de alta velocidade ou dados fragmentados. Este modo de operação da LUT possibilita efetuar mais operações em paralelo, propiciando melhores condições para as aplicações de processamento digital de sinais.

Os elementos de armazenamento nos “*slices*” do Spartan-IIE podem ser configurados ou por um “*Flip-Flop*” do tipo D sensível a transições do sinal de ativação, ou, por “*latches*” sensíveis a níveis lógicos. As entradas dos “*Flip-Flop*” do tipo D podem ser fornecidas pelos geradores de função no mesmo “*slice*”, ou, diretamente da entrada dos “*slices*” contornando os geradores de função.

As CLBs disponibilizam ainda uma lógica adicional através de um multiplexador F5 que combina as saídas dos geradores de função em cada “*slice*” de tal forma a se criar um gerador de função capaz de implementar a tarefa de uma LUT com cinco entradas, de um multiplexador do tipo 4:1, ou, de funções de seleção com até 9 entradas. Similarmente, o multiplexador F6 combina todas as saídas dos quatro geradores de função presentes no CLB permitindo a implementação de qualquer função com seis entradas (LUT-6), de um multiplexador do tipo 8:1, ou, de funções de seleção com até 19 entradas. A Figura N.3 apresenta uma CLB típica [48].

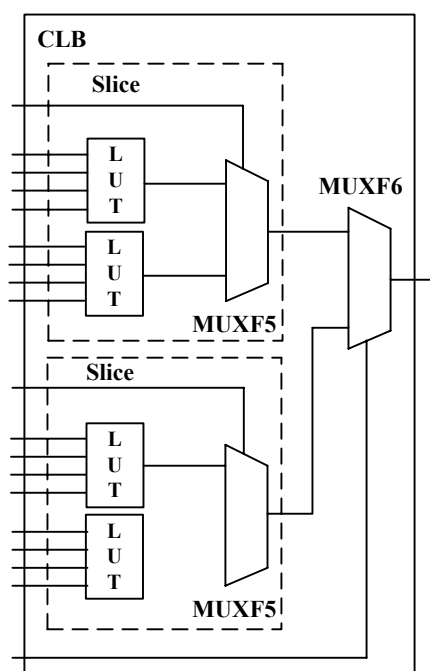


Figura N.3 – Multiplexadores F5 e F6 nos CLBs.

A lógica aritmética inclui uma porta lógica do tipo XOR que permite a implementação de um somador de um “*bit*” em uma célula lógica LC. Adicionalmente, portas lógicas do tipo AND melhoram a eficiência da implementação dos multiplicadores.

N.2.1.4 - Bloco de RAM

Os dispositivos FPGAs da família Spartan-III possuem grandes blocos de memórias RAM de forma a complementar estruturas de memórias RAM implementadas nos CLBs através das LUTs, com isto melhorando a capacidade de memória.

Especificamente, o componente XC2S200E da família Spartan-IIe possui 14 blocos de memória e um total de 56k “bits” nos blocos de memórias.

N.2.1.5 - Roteamento Programável

O longo caminho percorrido pelo sinal pode limitar a velocidade e o desempenho de um determinado projeto. A família Spartan-IIe prevê uma arquitetura de roteamento de forma a minimizar estes atrasos, melhorar a performance do sistema, além de minimizar o tempo de compilação. Os recursos disponíveis para roteamento para a família Spartan-IIe são: roteamento local, roteamento de propósito geral, roteamento de entradas e saídas, roteamento dedicado e roteamento global.

N.2.1.6 – “Delay Locked Loop” - (DLL)

Associado a cada buffer de entrada global de “clock” está um DLL (“Delay Locked Loop”) de forma a eliminar as diferenças entre sinal de “clock” na entrada do dispositivo e o sinal de “clock” utilizado pelas lógicas internas do dispositivo. Além das DLL serem utilizadas para gerenciamento de “clock” podem também prover múltiplos “clocks”.

Informações complementares sobre a descrição funcional apresentada até o momento, e, informações sobre características CC e de chaveamento, além de tabela de pinagem estão apresentadas em [48].

O componente FPGA é uma tecnologia SMD que necessita de periféricos acoplados a mesma placa de circuito impresso de forma que o mesmo possa ser alimentado e possibilite o envio e recebimento de dados através de seus pinos de entradas e saídas (I/Os). Ainda podem ser necessários periféricos como “clocks” externos, memórias EPROMs, bornes especiais para expansão, condicionamento de sinais elétricos, conector para o cabo paralelo, etc. Com o objetivo de se ter todos estes periféricos e conectores devidamente acondicionados, a Digilent Inc desenvolveu uma placa (D2SB), com o condicionamento de sinais necessário para a sua alimentação, assim como, entradas e saída dos sinais para comunicação com outras plataformas, possibilitando a implementação de diversos circuitos digitais no FPGA através de uma descrição de “hardware” e comunicação externa com outros circuitos digitais, como por exemplo “drive” de acionamento de interruptores eletrônicos. Também foi desenvolvido pela Digilent Inc uma

placa de expansão (DIO4), compatível com o D2SB onde é possível prover a análise e controle da descrição de hardware implementada no FPGA.

N.3 – VHDL (*VHSIC Hardware Description Language*)

Em 1980 o governo americano desenvolveu o VHSIC (*“Very High Speed Integrated Circuit”*) com o objetivo de se produzir circuitos integrados avançados com elevado número de *“gates”* (portas lógicas) [34 e 35]. Entretanto, havia a necessidade de uma padronização na linguagem de descrição de *“hardware”*, de tal forma que se pudesse utilizá-la independentemente da tecnologia. Participaram deste processo empresas como Intermetrics, IBM e TI (Texas Instruments). Assim, surgiu então a VHDL (*“Very High Speed Integrated Circuit Hardware Description Language”*), que a partir de 1986 foi incorporada pelo IEEE como linguagem padrão de descrição de *“hardware”*. Criou-se assim, o primeiro manual intitulado *“VHDL Language Reference Manual”* apoiado no padrão IEEE 1076.1 de Dezembro de 1987. O padrão passou pelo primeiro processo de revisão em 1993 [36]. Em 1996, as ferramentas de simulação e síntese foram incorporadas pelo padrão IEEE 1076’1993.

Os modelos ASIC e bibliotecas para FPGA em VHDL foram incorporados pelo padrão IEEE 1076.4 –VITAL.

Desta forma, a evolução das linguagens de descrições de *“hardware”* (HDL) para o VHDL e sua padronização respaldada pelo IEEE trouxeram grandes vantagens, entre as quais podem ser citadas [34, 35, 37, 38, 39]:

- 1 - Permite ao projetista desenvolver rapidamente projetos que requerem milhares de portas lógicas (*“gates”*);
- 2 - Provê da descrição em alto-nível para projetar lógicas complexas;
- 3 - Suporta a metodologia de projeto modular e vários níveis de hierarquia;
- 4 - É uma linguagem para projeto e simulação;
- 5 - Permite a criação de projetos que são portáteis a dispositivos dos diferentes representantes (Altera - Xilinx - Cypress - QuickLogic);
- 6 - Permite ao usuário escolher qualquer ferramenta de síntese, representante, ou dispositivo.

N.3.1 - Descrição Estrutural e Comportamental

O uso de dispositivos lógicos programáveis consiste basicamente em fazer uma descrição do circuito a ser implementado, através de um “*software*” de descrição de “*hardware*” (VHDL). A descrição poderá ser feita de forma estrutural ou comportamental. Ou ainda, através de uma descrição intercalando-se as duas formas, estrutural e comportamental.

A descrição estrutural é uma descrição idêntica ao circuito esquemático, utilizando-se de bibliotecas específicas do “*software*” (Portas AND, OR, NAND, etc.). Já a descrição comportamental, não está vinculada a um circuito e sim a uma idéia a ser implementada. Portanto, a descrição comportamental é uma forma simples de programação, como a linguagem C⁺⁺, por exemplo, dando mais liberdade ao projetista na busca de uma otimização do projeto. A linguagem VHDL é uma linguagem de alto nível, de tal forma que o circuito digital é descrito em um grau elevado de abstração, não sendo mais necessário trabalhar em descrição de baixo nível, como transistores e portas lógicas. Essa metodologia facilita a descrição de circuitos cuja estrutura interna não está disponível, mas onde o seu funcionamento e comportamento podem ser interpretados. Com isso, as metodologias de projetos de circuitos digitais tornam-se mais simplificadas.

Os sistemas eletrônicos podem ser representados no domínio estrutural, o comportamental e o físico [35]. Observa-se ainda que os domínios comportamental, estrutural e físico podem apresentar outros níveis de abstração, a saber: o nível de circuito elétrico (dispositivo), o nível lógico, o nível de transferência de registros e o nível de sistema (sistêmico). A representação dos domínios comportamental, estrutural e físico, com os seus níveis de abstração, está representada no diagrama em Y conforme Figura N.4. Observa-se ainda que o nível de abstração cresce à medida que se distancia do centro. Quanto maior o nível de abstração melhor será desempenho relativo alcançado. Isto se deve ao fato de que o número de objetos que o simulador tem que considerar é menor à medida que o nível de abstração aumenta. Além disso, níveis de abstração elevados implicam na utilização de algoritmos na descrição que são fáceis de simular em computadores. Por outro lado, quanto maior o nível de abstração menor será a precisão dos resultados, uma vez que objetos mais próximos dos reais deixam de ser considerados na síntese. Síntese é a transformação de uma descrição com elevado nível de abstração em outra descrição com menor nível de abstração.

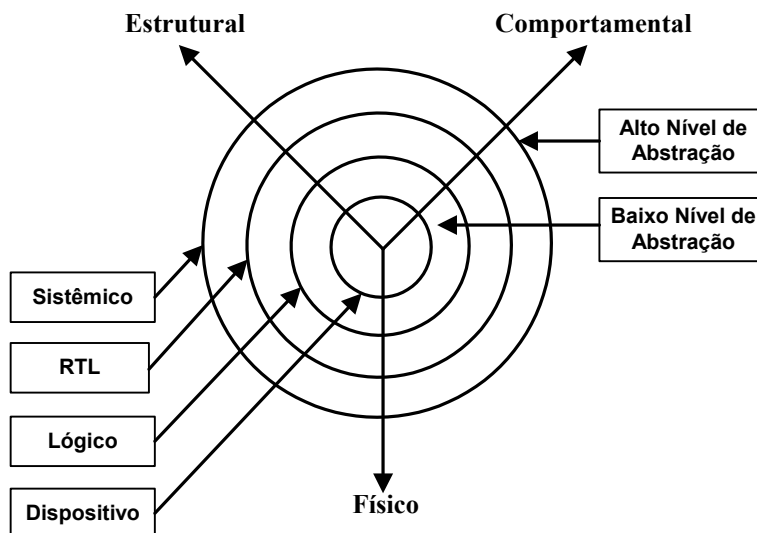


Figura N.4 - Diagrama de representação dos domínios e níveis de abstração.

No domínio comportamental o projeto é descrito através do comportamento do sistema. A Figura N.5 mostra em detalhes o diagrama em Y do domínio comportamental e seus níveis de abstração. No domínio estrutural o projeto é descrito através dos componentes e conexões que compõe o sistema, enquanto que, no domínio físico, o projeto é descrito considerando informações técnicas detalhadas sobre as tecnologias utilizadas e maneira de implementação.

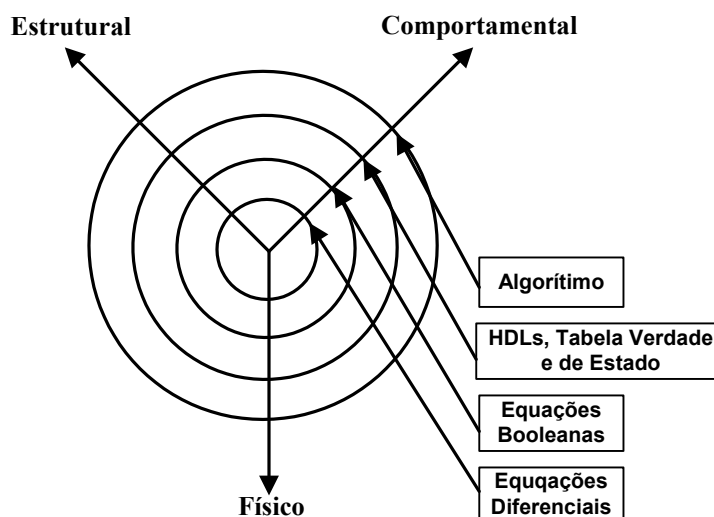


Figura N.5 – Diagrama do domínio comportamental e seus níveis de abstração.

A Figura N.6 mostra em detalhes o diagrama do domínio estrutural e físico com seus níveis de abstração.

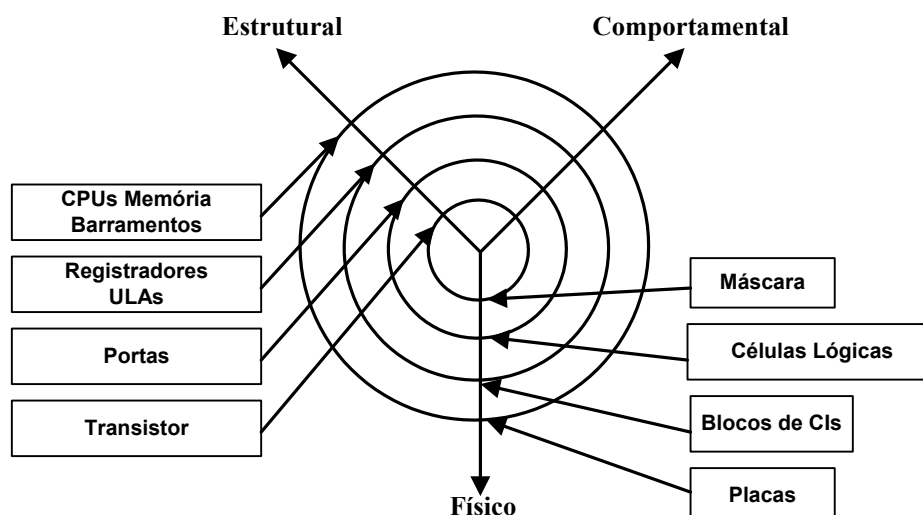


Figura N.6 – Diagrama dos domínios estrutural e físico e seus níveis de abstração.

Especificamente neste trabalho, o simulador utilizado foi o ModelSim XE 5.7g da Mentor Graphics Corporation Company. A simulação é muito importante no desenvolvimento de um projeto digital, pois é a partir dele que se pode verificar se a descrição de hardware proposta está de acordo com o planejado, e mais, permite a avaliação do desempenho do sistema antes mesmo de ser implementado, reduzindo tempo de desenvolvimento de protótipos, além de custos.

N.4 - Conclusões

A linguagem de descrição de “*hardware*” se tornou uma ferramenta extremamente importante no desenvolvimento de sistemas digitais, uma vez que possibilitou uma nova concepção dos projetos, aumentando a rapidez no desenvolvimento destes, com a conseqüente diminuição dos custos.

Desta forma, utilizar dispositivos FPGAs implementados através de uma linguagem de descrição de “*hardware*” (VHDL) é uma ferramenta considerável para projetos digitais aplicados, não só para a eletrônica digital, como também em eletrônica de potência, com a finalidade de implementação de lógicas de controle e para o comando de interruptores semicondutores [32, 40, 41, 42 e 43].